



## CIRCUITOS DIGITAIS E MISTOS CMOS COM APLICAÇÃO EM MEDIDOR DE ENERGIA

Thiago Brito Bezerra

Tese de Doutorado apresentada ao Programa de Pós-graduação em Engenharia Elétrica, COPPE, da Universidade Federal do Rio de Janeiro, como parte dos requisitos necessários à obtenção do título de Doutor em Engenharia Elétrica.

Orientador: Antonio Petraglia

Rio de Janeiro  
Junho de 2017

CIRCUITOS DIGITAIS E MISTOS CMOS COM APLICAÇÃO EM MEDIDOR  
DE ENERGIA

Thiago Brito Bezerra

TESE SUBMETIDA AO CORPO DOCENTE DO INSTITUTO ALBERTO LUIZ  
COIMBRA DE PÓS-GRADUAÇÃO E PESQUISA DE ENGENHARIA (COPPE)  
DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS  
REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE DOUTOR  
EM CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Examinada por:

---

Prof. Antonio Petraglia, Ph.D.

---

Prof. Antonio Carneiro de Mesquita Filho, Dr.d'État

---

Prof. José Gabriel Rodríguez Carneiro Gomes, Ph.D.

---

Prof. Marcio Nogueira de Souza, D.Sc.

---

Prof. Sebastian Yuri Cavalcanti Catunda, D.Sc.

RIO DE JANEIRO, RJ – BRASIL  
JUNHO DE 2017

Bezerra, Thiago Brito

Circuitos digitais e mistos CMOS com aplicação em medidor de energia/Thiago Brito Bezerra. – Rio de Janeiro: UFRJ/COPPE, 2017.

XVI, 87 p.: il.; 29,7cm.

Orientador: Antonio Petraglia

Tese (doutorado) – UFRJ/COPPE/Programa de Engenharia Elétrica, 2017.

Referências Bibliográficas: p. 83 – 87.

1. Circuitos digitais e mistos. 2. Circuitos a capacitores chaveados. 3. Modulador sigma-delta. 4. CMOS. I. Petraglia, Antonio. II. Universidade Federal do Rio de Janeiro, COPPE, Programa de Engenharia Elétrica. III. Título.

*Aos meus pais, Francisco e  
Graça, e aos meus irmãos,  
Marco, Jósimo e Thomás, pelo  
apoio durante toda minha  
jornada acadêmica.*

# Agradecimentos

Agradeço ao meu orientador, o professor Dr. Antonio Petraglia pela orientação e ensinamentos transferidos durante o período de execução deste trabalho.

Aos professores do Departamento de Engenharia Elétrica que contribuíram com a minha formação científica durante o período do doutorado.

Aos meus pais, que sempre se empenharam ao máximo para que meus irmãos e eu recebêssemos uma boa educação.

A minha namorada, Thaís, pelo amor, compreensão e incentivo.

Ao Alex, Luciana e Isabela por terem me acolhido em seu lar como um membro da família.

Aos amigos do Laboratório de Processamento Analógico e Digital de Sinais do Programa de Engenharia Elétrica da COPPE/UFRJ: Allan, Fabian, Fernanda, Pedro, João, Jorge, Oscar, Genildo, Gustavo e Fábio, pelo apoio e debate sobre o projeto.

À Universidade Federal do Amazonas pela liberação, assim podendo me dedicar em tempo integral a conclusão do doutorado.

E ao CNPQ pelo apoio financeiro.

Resumo da Tese apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Doutor em Ciências (D.Sc.)

## CIRCUITOS DIGITAIS E MISTOS CMOS COM APLICAÇÃO EM MEDIDOR DE ENERGIA

Thiago Brito Bezerra

Junho/2017

Orientador: Antonio Petraglia

Programa: Engenharia Elétrica

O projeto de circuitos integrados CMOS digitais e mistos para medidores de energia se mostra necessário em aplicações nas quais se deseja diagnosticar sistemas de medição de energia elétrica com rapidez de processamento e/ou baixo consumo de potência. O grande desafio está em compreender o seu funcionamento e investigar topologias e/ou metodologias de projeto que permitam solucionar as dificuldades no projeto de circuitos integrados digitais e mistos, com o objetivo de otimizar o compromisso entre rapidez de processamento, potência consumida e área ocupada. Neste trabalho apresentamos o desenvolvimento de novos circuitos digitais e mistos para serem utilizados em um medidor de energia. Os circuitos digitais se utilizam de uma técnica de desvio que evita cálculos redundantes. Essa técnica foi aplicada no multiplicador de baixo consumo, reduzindo seu consumo em 40%. Já para o filtro passa-altas, o consumo foi reduzido em 15%. E o filtro passa-baixas teve o consumo reduzido em 26%. Um modulador sigma delta pseudo-paralelo foi otimizado ao nível do sistema para atingir o SNR máximo usando valores de capacitância mínimos para que os requisitos de velocidade dos blocos analógicos pudessem ser aliviados para reduzir o consumo de energia. O PSDM desenvolvido foi verificado por simulações pós-leiaute, atingindo uma faixa dinâmica de 99,8 dB para uma largura de banda do sinal de 2 kHz, com uma razão de sobre-amostragem de 128, ocupando uma área de 0,16 mm<sup>2</sup> e consumindo apenas 52,5  $\mu$ W.

Abstract of Thesis presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Doctor of Science (D.Sc.)

## DIGITAL AND MIXED CMOS CIRCUITS WITH ENERGY METER APPLICATION

Thiago Brito Bezerra

June/2017

Advisor: Antonio Petraglia

Department: Electrical Engineering

The design of digital and mixed CMOS integrated circuits for energy meters is required in applications where energy measurement systems are installed with fast processing and low power consumption. The great challenge is to understand its operation and investigate topologies and/or design methodologies that allow to solve the difficulties in the design of integrated digital and mixed circuits, in order to find a good compromise between processing speed, power consumed and occupied area. In this work we present the development of new digital and mixed circuits to be used in an energy meter. The digital circuits uses a bypassing technique which avoids redundant calculations. This technique was applied in the low power multiplier, reducing its consumption by 40%. For the high-pass filter, the power consumption was reduced by 15%. And the low-pass filter had the consumption reduced by 26%. A pseudo-parallel sigma-delta modulator that was optimized at system level to attain maximum SNR using minimum capacitance values so that speed requirements of the analog blocks could be alleviated in order to reduce power consumption. The developed PSDM was verified by post-layout simulations, reaching a dynamic range of 99.8 dB for a signal bandwidth of 2 kHz, with an oversampling ratio of 128, occupying an area of 0.16 mm<sup>2</sup> and consuming only 52.5  $\mu$ W.

# Sumário

<b>Lista de Figuras</b>	<b>x</b>
<b>Lista de Tabelas</b>	<b>xiii</b>
<b>Lista de Abreviaturas</b>	<b>xv</b>
<b>1 Introdução</b>	<b>1</b>
1.1 Motivação . . . . .	2
1.2 Objetivos . . . . .	5
1.3 Estrutura do Texto . . . . .	6
<b>2 Multiplicador com Baixo Consumo</b>	<b>7</b>
2.1 Técnica de Desvio . . . . .	8
2.2 Circuito Multiplicador 16x16 . . . . .	11
<b>3 Filtros Digitais</b>	<b>13</b>
3.1 Filtro Passa-Altas . . . . .	14
3.2 Filtro Passa-Baixas . . . . .	17
<b>4 Modulador Sigma-Delta Pseudo-Paralelo</b>	<b>20</b>
4.1 PSDM de Baixa Sobre-Amostragem . . . . .	22
4.2 Implementação de um PSDM de Segunda Ordem e com Fator de Desenrolamento Dois . . . . .	24
4.3 Modelagem do PSDM . . . . .	26
4.3.1 Resposta do PSDM Ideal . . . . .	28
4.3.2 Resposta do PSDM Não-Ideal . . . . .	30
<b>5 Projeto do PSDM</b>	<b>32</b>
5.1 Circuitos a Capacitores Chaveados . . . . .	32
5.2 Projeto em Nível de Transistores . . . . .	35
5.2.1 Circuitos Digitais . . . . .	35
5.2.2 Gerador de Fases do Relógio . . . . .	36
5.2.3 Chave CMOS . . . . .	37



5.2.4	Amplificador Operacional de Transcondutância . . . . .	39
5.2.5	Quantizador . . . . .	44
5.2.6	Conversor Digital para Analógico . . . . .	45
5.2.7	Coeficientes da Saída . . . . .	46
5.2.8	Modulador Completo . . . . .	47
<b>6</b>	<b>Leiaute do PSDM</b>	<b>51</b>
6.1	Leiaute dos Circuitos Digitais Básicos . . . . .	51
6.1.1	Leiaute da Porta Lógica Inversora . . . . .	51
6.1.2	Leiaute da Porta Lógica NOR . . . . .	52
6.1.3	Leiaute do Gerador de Fases do Relógio . . . . .	52
6.1.4	Leiaute da Chave CMOS . . . . .	53
6.1.5	Leiaute do MUX 2x1 . . . . .	54
6.2	Leiaute dos Capacitores . . . . .	54
6.2.1	Leiaute da Matriz do Circuito de Controle da Tensão de Modo Comum . . . . .	55
6.2.2	Leiaute da Matriz do Primeiro Integrador . . . . .	56
6.2.3	Leiaute da Matriz do Segundo Integrador . . . . .	58
6.2.4	Leiaute das Matrizes dos Coeficientes de Saída . . . . .	59
6.3	Leiaute do Amplificador Operacional de Transcondutância . . . . .	62
6.4	Leiaute do Quantizador . . . . .	63
6.5	Leiaute do Modulador Completo . . . . .	64
<b>7</b>	<b>Resultados das Simulações</b>	<b>66</b>
7.1	Simulações em Nível de Transistores . . . . .	67
7.1.1	Gerador de Fases do Relógio . . . . .	67
7.1.2	Quantizador . . . . .	67
7.1.3	Amplificador Operacional de Transcondutância . . . . .	69
7.1.4	Modulador Sigma-Delta Pseudo-Paralelo . . . . .	71
7.2	Simulações em Nível de Leiaute . . . . .	72
7.2.1	Gerador de Fases do Relógio . . . . .	72
7.2.2	Quantizador . . . . .	73
7.2.3	Amplificador Operacional de Transcondutância . . . . .	73
7.2.4	Modulador Sigma-Delta Pseudo-Paralelo . . . . .	76
7.2.5	Comparação com Outros Trabalhos . . . . .	79
<b>8</b>	<b>Conclusões</b>	<b>81</b>
8.1	Trabalhos Futuros . . . . .	82
	<b>Referências Bibliográficas</b>	<b>83</b>

# Lista de Figuras

1.1	Medidor de energia com função ampère hora. . . . .	4
1.2	Medidor de energia com função volt-hora. . . . .	5
2.1	(a) Produtos parciais de uma multiplicação 4x4 e (b) Multiplicador tradicional. . . . .	9
2.2	Estrutura da célula de adição. . . . .	10
2.3	Um multiplicador 4x4 com circuito de desvio. . . . .	10
2.4	Leiaute do multiplicador 16x16 de baixo consumo de energia. . . . .	12
3.1	Resposta em frequência do filtro passa-altas. . . . .	14
3.2	Resposta ao degrau do filtro passa-altas com baixo consumo de energia. . . . .	15
3.3	Resposta ao impulso do filtro passa-altas com baixo consumo de energia. . . . .	15
3.4	Leiaute do filtro passa-altas com baixo consumo de energia. . . . .	16
3.5	Resposta em frequência do filtro passa-baixas. . . . .	17
3.6	Resposta ao degrau do filtro passa-baixas com baixo consumo de energia. . . . .	18
3.7	Resposta ao impulso do filtro passa-baixas com baixo consumo de energia. . . . .	18
3.8	Leiaute do filtro passa-baixas com baixo consumo de energia. . . . .	19
4.1	(a) Sinal $X(f)$ (sólido), o ruído moldado (pontilhada) e a resposta em frequência da amostragem $H(f)$ (tracejada-ponto); (b) Amostragem do sinal $\tilde{Y}(f)$ . . . . .	22
4.2	(a) Sinal $X(f)$ (sólido), (b) o ruído moldado (pontilhada), (c) resposta em frequência da amostragem $H(f)$ (tracejada-ponto); (d) sinal de saída quando a frequência de amostragem $f_s$ é diferente da frequência do clock $f'_s$ do SDM. . . . .	23
4.3	Diagrama de blocos da implementação de um PSDM de segunda ordem com fator de desenrolamento 2. . . . .	24
4.4	Representação de um SDM de segunda ordem. . . . .	25
4.5	Representação de um SDM de segunda ordem. . . . .	27

4.6	Modelo em Simulink ideal do PSDM de segunda ordem com fator de desenrolamento 2. . . . .	28
4.7	Resposta em frequência para o modelo em Simulink ideal do PSDM de segunda ordem com fator de desenrolamento 2, com os valores de SNR e ENOB. . . . .	29
4.8	Histogramas das saídas dos integradores. . . . .	29
4.9	Resposta em frequência para o modelo em Simulink não-ideal do PSDM de segunda ordem com fator de desenrolamento 2, com os valores de SNR e ENOB. . . . .	31
5.1	(a) Resistor ideal a ser simulado, (b) com a técnica de capacitores chaveados. . . . .	32
5.2	Resistor simulado com a técnica de capacitores chaveados. . . . .	34
5.3	(a) Resistor simulado (b) com inversão do sinal. . . . .	34
5.4	(a) Resistor simulado (b) sem inversor do sinal. . . . .	35
5.5	Inversor em nível de transistores. . . . .	36
5.6	Porta lógica NOR em nível de transistores. . . . .	37
5.7	Gerador de fases do relógio. . . . .	37
5.8	Geração dos sinais complementares para as chaves. . . . .	38
5.9	Chave de transmissão CMOS. . . . .	38
5.10	OTA cascode dobrado. . . . .	40
5.11	OTA cascode dobrado com polarização adaptativa [28]. . . . .	41
5.12	Circuito de polarização do OTA [28]. . . . .	42
5.13	Circuito de controle da tensão de modo comum do amplificador operacional. . . . .	43
5.14	Circuito quantizador. . . . .	44
5.15	Circuito conversor digital para analógico de 1 bit. . . . .	46
5.16	Circuito somador para a saída $V_{out}$ . . . . .	47
5.17	Circuito somador para a saída $V_{out1}$ . . . . .	48
5.18	Circuito completo do PSDM. . . . .	49
6.1	Leiaute do circuito inversor. . . . .	52
6.2	Leiaute do circuito NOR. . . . .	52
6.3	Leiaute do circuito gerador de fases do relógio. . . . .	53
6.4	Leiaute da chave CMOS. . . . .	53
6.5	Leiaute do MUX 2x1. . . . .	54
6.6	Leiaute do capacitor unitário de 220 fF. . . . .	55
6.7	Arranjo da matriz em centróide comum. . . . .	56
6.8	Leiaute da matriz de capacitores do circuito de controle da tensão modo comum. . . . .	56

6.9	Arranjo da matriz do primeiro integrador. . . . .	57
6.10	Leiaute da matriz de capacitores do primeiro integrador. . . . .	58
6.11	Arranjo da matriz do segundo integrador. . . . .	59
6.12	Leiaute da matriz de capacitores do segundo integrador. . . . .	59
6.13	Arranjo da matriz do primeiro somador de saída. . . . .	60
6.14	Leiaute da matriz de capacitores do primeiro somador de saída. . . .	61
6.15	Leiaute da matriz de capacitores do segundo somador de saída. . . . .	61
6.16	Casamento em <i>cross-quad</i> . . . . .	62
6.17	Leiaute do amplificador operacional de transcondutância. . . . .	63
6.18	Leiaute do quantizador. . . . .	64
6.19	Leiaute final do modulador sigma-delta pseudo-paralelo. . . . .	65
7.1	Simulação do circuito esquemático do gerador de fases do relógio. . .	67
7.2	Entradas do quantizador para simulação do circuito esquemático. . .	68
7.3	Saída do quantizador para a simulação do circuito esquemático. . . .	68
7.4	Resposta ao pulso do circuito esquemático do OTA. . . . .	70
7.5	Resposta em frequência do circuito esquemático do OTA. . . . .	70
7.6	Resposta em frequência do circuito esquemático do PSDM. . . . .	72
7.7	Simulação do circuito extraído do gerador de fases do relógio. . . . .	72
7.8	Entradas do quantizador para simulação do circuito extraído. . . . .	73
7.9	Saída do quantizador para a simulação do circuito extraído. . . . .	74
7.10	Resposta ao pulso do circuito extraído do OTA. . . . .	75
7.11	Resposta em frequência do circuito extraído do OTA. . . . .	75
7.12	Resposta em frequência do circuito extraído do PSDM. . . . .	76
7.13	Simulações de Monte Carlo do circuito extraído do PSDM. . . . .	77
7.14	Simulações de <i>corners</i> do circuito extraído do PSDM. . . . .	78

# Lista de Tabelas

1.1	Medidores de energia disponíveis no mercado. . . . .	3
2.1	Comparação entre área ocupada e consumo de energia entre os multiplicadores. . . . .	11
3.1	Comparação entre área ocupada e consumo de energia entre os filtros passa-altas. . . . .	16
3.2	Comparação entre área ocupada e consumo de energia entre os filtros passa-baixas. . . . .	18
4.1	Coeficientes para obtenção do melhor SNR do modulador. . . . .	27
4.2	Parâmetros de simulação. . . . .	28
4.3	Especificações do amplificador. . . . .	30
5.1	Dimensionamento dos transistores utilizados nos circuitos digitais. . . . .	36
5.2	Dimensão dos transistores da chave CMOS. . . . .	39
5.3	Dimensionamento dos transistores do OTA cascode dobrado com polarização adaptativa [28]. . . . .	42
5.4	Dimensionamento dos transistores do circuito de polarização do amplificador operacional [28]. . . . .	43
5.5	Valores dos capacitores do circuito de controle da tensão de modo comum do amplificador operacional [28]. . . . .	44
5.6	Dimensionamento dos transistores do quantizador. . . . .	45
5.7	Valores das tensões de referência do DAC. . . . .	46
5.8	Valores dos capacitores dos circuitos somadores de saída. . . . .	47
5.9	Valores dos capacitores do PSDM. . . . .	50
6.1	Valores dos capacitores utilizados no primeiro integrador. . . . .	57
6.2	Valores dos capacitores utilizados no segundo integrador. . . . .	58
6.3	Valores dos capacitores utilizados no primeiro somador de saída. . . . .	60
7.1	Resultados da simulação do circuito esquemático do quantizador. . . . .	69
7.2	Resultados da simulação do circuito esquemático do OTA. . . . .	71

7.3	Resultados da simulação do circuito esquemático do PSDM. . . . .	71
7.4	Resultados da simulação do circuito extraído do quantizador. . . . .	74
7.5	Resultados da simulação do circuito extraído do amplificador opera- cional. . . . .	76
7.6	Resultados da simulação do circuito extraído do PSDM. . . . .	77
7.7	Resultados das simulações de Monte Carlo do circuito extraído do PSDM. . . . .	78
7.8	Resultados das simulações de <i>corners</i> do circuito extraído do PSDM.	79
7.9	Comparação do PSDM com outros circuitos integrados. . . . .	80
7.10	Comparação do PSDM com outros circuitos integrados. (continuação)	80

# Lista de Abreviaturas

ADC	Analog-to-Digital Converter, p. 6
AMS	Austria Micro Systems, p. 2
APS	Accelerated Parallel Simulator, p. 66
CMOS	Complementary Metal Oxide Semiconductor, p. 1
DAC	Digital to Analog Converter, p. 26
EMG	Electromyography, p. 79
ENG	Electroneurogram, p. 79
ENOB	Effective Number Of Bits, p. 28
FIR	Finite Impulse Response, p. 13
FOM	Figure of Merit, p. 71
GBW	Gain-bandwidth product, p. 21
HPF	High Pass Filter, p. 5
IIR	Infinite Impulse Response, p. 13
LPF	Low Pass Filter, p. 5
LSB	Least significant bit, p. 78
NMOS	N-channel Metal-Oxide-Semiconductor, p. 36
OTA	Operational Transconductance Amplifier, p. 21
PMOS	P-channel Metal-Oxide-Semiconductor, p. 36
PSDM	Pseudo-Parallel Sigma Delta Modulation, p. 21
PSD	Power Spectral Density, p. 28

SDM	Sigma Delta Modulator, p. 2
SNR	Signal-to-Noise Ratio, p. 6
SR	Slew Rate, p. 21
TCAM	Transformador de Corrente Auto-Monitorado, p. 3
TC	Transformador de Corrente, p. 3
TPAM	Transformador de Potencial Auto-Monitorado, p. 4



# Capítulo 1

## Introdução

Medições de qualquer natureza são realizadas a partir de instrumentos que são projetados para atender a determinadas especificações, sendo tais instrumentos responsáveis pela coleta de informações sobre a grandeza que está sendo medida, e por organizar, interpretar e processar essas informações, seja de forma analógica ou digital.

A evolução da tecnologia CMOS (*Complementary Metal Oxide Semiconductor*), permitiu a presença de sistemas eletrônicos em muitos aspectos do dia a dia, como em carros, comunicações, medicina, equipamentos de medição, etc. O avanço das técnicas de fabricação de circuitos integrados, em especial a de CMOS, tem possibilitado aos projetistas inserir cada vez mais funcionalidades a esses dispositivos.

Essa evolução permitiu que a velocidade dos circuitos digitais fosse incrementada possibilitando uma maior frequência de operação. Além disso, a tensão de alimentação foi diminuída para manter campos elétricos moderados dentro do dispositivo, evitando assim correntes de fuga elevadas. Consequentemente o consumo de energia dos circuitos digitais foi diminuído.

O desenvolvimento rápido das tecnologias de circuitos integrados e a disponibilidade de circuitos conversores analógico/digital e microprocessadores têm contribuído para o progresso rápido das técnicas usadas para a medição e, consequentemente, para a melhoria de uma forma geral do desempenho do sistema de medição.

Neste trabalho, faremos algumas considerações sobre os circuitos a serem desenvolvidos para aplicá-los a um medidor de energia elétrica. Começando com o estudo sobre metodologias de redução do consumo de energia aplicadas em diferentes multiplicadores que têm sido propostos na literatura e são classificados em multiplicadores baseados em árvores [1] e multiplicadores baseados em matrizes [2]. A vantagem do multiplicador baseado em árvore está na velocidade atingida, já os multiplicadores baseados em matrizes tem o seu leiaute mais simples. No entanto, o multiplicador baseado em matrizes consome potencialmente mais energia do que a

arquitetura baseada em árvore [3]. A razão é que os somadores adicionais incorporados ao multiplicador baseado em árvores absorvem a comutação espúria e, portanto, reduzem o consumo de energia [4]. Porém, o leiaute do multiplicador baseado em árvore tende a ser complicado e induz mais capacitâncias parasitas. Além disso, é limitado a um comprimento de operando mais curto, menor que 16 bits [5]. O multiplicador com operandos com tamanho maior ou igual a 16 pode ser implementado pelo multiplicador Wallace usando a codificação de Booth. Mas essa adaptação deixa os multiplicadores baseados em árvore ainda mais complexos, por isso a arquitetura baseada em matriz é utilizada para o desenvolvimento do multiplicador. Essa arquitetura alia alta velocidade de execução e taxa de transferência, no entanto, o aumento da carga capacitiva e o tamanho dos operandos binários resultam em uma dissipação de potência muito grande [6]. As transições em circuitos digitais são responsáveis pela dissipação de energia devido à carga e descarga de capacitores. Uma técnica utilizada em multiplicadores digitais é focar na diminuição do número de chaveamentos para reduzir a dissipação de energia. Em [7], foi proposto um multiplicador que adiciona hardware para evitar cálculos redundantes e desativar as unidades somadoras cujo produto parcial é igual a zero. Essa técnica é essencial para a redução do consumo de energia do multiplicador digital e também dos filtros digitais aqui desenvolvidos.

E por fim, demonstraremos o modulador sigma-delta (SDM) e daremos explicações a respeito do funcionamento da nova topologia que será utilizada para se reduzir o consumo de energia. Em [8] e [9] o desenvolvimento de moduladores altamente lineares com grandes larguras de banda de entrada é incentivado. Nessas topologias os requisitos de velocidade de processamento de sinais são reduzidos, devido ao processamento paralelo.

Uma abordagem alternativa que evita o uso de múltiplos SDMs, também baseada em processamento paralelo, é descrita em [10]. Esse modulador é um componente essencial no desenvolvimento de um conversor analógico digital, que por sua vez pode ser usado para fornecer os sinais necessários ao funcionamento do medidor. Todos os componentes foram projetados para a tecnologia CMOS 0,18  $\mu\text{m}$  da AMS (*Austria Micro Systems*) e operação utilizando tensão de alimentação de 1,8V visando o baixo consumo de energia.

## 1.1 Motivação

Nos sistemas de medição de energia elétrica, os transformadores para instrumentos, que são equipamentos que também fazem parte do sistema de medição, não fornecem informações de seu desempenho sem a realização de ensaios por meio de instrumentos externos. E essas verificações não são permanentes, nem obtêm informações em

tempo real do desempenho no campo.

Devido a esses problemas, nos últimos anos o conceito de medidores de energia (*Smart Meter*) e redes inteligentes (*Smart Grids*) tem sido bastante difundido, com o objetivo de assegurar uma maior capacidade do sistema de medição de automaticamente detectar, analisar e restaurar falhas, dessa forma fornecendo energia com qualidade e eficiência [11], [12].

Com o objetivo de aprimorar o desenvolvimento de medidores de energia inteligentes, um estudo comparativo das funcionalidades de alguns circuitos integrados de medição de energia foi realizado em [13]. Com base nesse estudo, em [14] foi proposto um medidor de energia inteligente que usa os recursos do CI ADE7758 para o desenvolvimento de um sistema que incorpora recursos de monitoração de parâmetros de energia de equipamentos e executa funções como monitoramento de energia em tempo real, fator de potência e alertas contra sobretensão e sobrecorrente. Na Tabela 1.1 são listados alguns medidores de energia que estão disponíveis no mercado e suas características.

Tabela 1.1: Medidores de energia disponíveis no mercado.

Medidor	$V_{DD}$ (V)	$V_{REF}$ (V)	ADC Bits	$f_S$ (Hz)	BW (Hz)
ADE7753	5,00	2,40	24	894,0 k	40-2,0 k
ADE7758	5,00	2,40	24	894,0 k	40-2,0 k
ATT7022B	5,00	2,40	16	3,2 k	40-2,0 k
MCP3910	2,7-3,60	1,20	24	1000,0 k	40-2,0 k
ATM90E26	3-3,60	1,26	16	8,0 k	40-2,0 k
STPM34	2,95-3,65	1,18	24	7,8 k	0-3,6 k

Como pode ser observado, em CIs de medição de energia elétrica a largura de banda do sinal de entrada varia tipicamente de 40 Hz a 2 kHz. Esses valores são determinados pelas especificações da norma IEC-61036, que exige mais de 20 harmônicos, ampla faixa dinâmica e precisão de medição de 0,5%.

Com base nas especificações da norma IEC-61036, apresenta-se o diagrama de blocos de uma implementação TCAM (Transformador de Corrente Auto-Monitorado) com medição de corrente apenas no secundário do TC (Transformador de Corrente) [15]. Esta implementação tem como base a aplicação de circuitos integrados de baixo consumo de energia. Para o TCAM, a função do CI é contabilizar a grandeza Ampère-hora, utilizando uma fonte de micropotência para alimentação que deve estar baseada em uma parcela ínfima da corrente elétrica que circula no circuito externo. A implementação sugerida usa um TC para alimentação e um TC para medição.

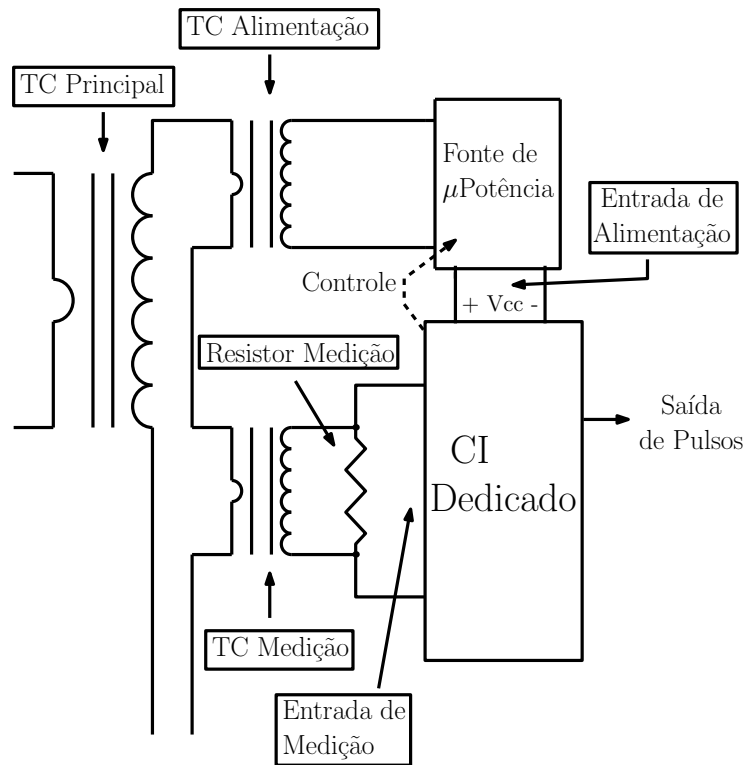


Figura 1.1: Medidor de energia com função ampère hora.

O TC de alimentação fornece uma corrente para uma microfonte de potência que converte em tensão contínua para a alimentação do circuito integrado. O TC de medição transmite o sinal de corrente a ser medido, que é então convertido para tensão por um resistor como mostrado na Figura 1.1.

No caso do TPAM (Transformador de Potencial Auto-Monitorado), a preocupação com baixo consumo persiste, com o objetivo de manter-se o menor consumo possível em volt-ampère no secundário do transformador de potencial [15]. Na Figura 1.2 apresenta-se o diagrama de blocos de uma implementação do TPAM, tendo como base a aplicação da tecnologia de circuitos integrados utilizando técnicas de baixo consumo de energia.

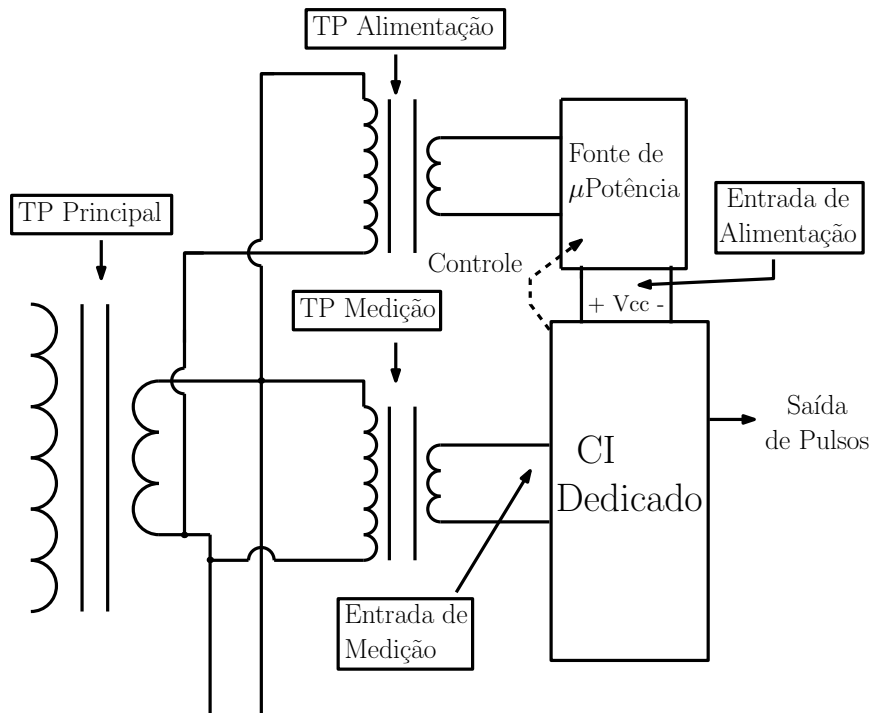


Figura 1.2: Medidor de energia com função volt-hora.

Os circuitos integrados que foram desenvolvidos nesta tese podem ser utilizados em uma combinação dessas duas técnicas de medição, para se obter a medida precisa de watt-hora. Nessa implementação o trabalho de medição é realizado por um circuito integrado de baixíssimo consumo, sendo alimentado por uma fonte de micro-potência que retirará energia apenas do secundário do transformador para a sua alimentação.

## 1.2 Objetivos

Essa tese de doutorado tem como objetivo apresentar circuitos digitais e mistos de baixo consumo de energia que foram desenvolvidos e que podem ser utilizados por um medidor de energia, como os que foram apresentados na Seção 1.1. Dentre esses circuitos temos:

- Um multiplicador digital de baixo consumo que realiza a multiplicação entre os sinais digitais de tensão e corrente medidos no transformador, gerando assim a medição de watt-hora;
- Um filtro digital passa-altas HPF (High Pass Filter) de baixo consumo de energia que remove uma componente DC que possa surgir no sinal que será medido;
- Um filtro digital passa-baixas LPF (Low Pass Filter) de baixo consumo de energia que é responsável pela extração da informação de potência real (componente DC) do sinal de potência instantânea;

- Um modulador  $\Sigma\Delta$  de baixo consumo de energia, que possua uma elevada razão sinal ruído SNR (Signal-to-Noise Ratio) de modo a se alcançar 16 bits na saída de um conversor analógico para digital ADC (Analog-to-Digital Converter) para um sinal que possua uma faixa de frequência entre 40Hz e 2kHz;

## 1.3 Estrutura do Texto

O Capítulo 2 introduz o conceito do multiplicador de baixo consumo de energia, e como esse circuito utiliza a técnica de desvio para evitar o acionamento de determinados componentes da multiplicação que geram valores redundantes.

O Capítulo 3 descreve os projetos dos filtros digitais passa-altas e passa-baixas utilizados na estrutura do circuito de medição de energia.

O Capítulo 4 expõe o conceito do modulador  $\Sigma\Delta$  pseudo paralelo e detalha como essa técnica pode ser utilizada para a redução do consumo de energia.

O Capítulo 5 apresenta o desenvolvimento dos componentes em nível de transistores do modulador  $\Sigma\Delta$  pseudo paralelo.

O Capítulo 6 apresenta o desenvolvimento dos componentes em nível de leiaute do modulador  $\Sigma\Delta$  pseudo paralelo.

O Capítulo 7 demonstra os resultados das simulações e das medições que comprovam o funcionamento dos circuitos desenvolvidos.

O Capítulo 8 finaliza com as conclusões e perspectivas para trabalhos futuros.

## Capítulo 2

# Multiplicador com Baixo Consumo

Com as exigências cada vez mais rigorosas sobre o espaço da bateria e seu peso em dispositivos portáteis, circuitos eficazes no consumo de energia são necessários. A preocupação principal é estender as horas de funcionamento sem mudar a bateria do dispositivo. Embora o avanço da tecnologia melhore o uso da bateria para operar por mais horas, operações complexas nos dispositivos ainda são críticas para projetos de baixo consumo de energia. Um projeto de baixo consumo pode ser alcançado através de melhorias no sistema, na lógica, na escolha da tecnologia e em melhorias no circuito.

A economia de energia pode ser significativa se o projeto de baixo consumo for planejado desde o nível do sistema, otimizando a lógica do circuito para este fim. À medida que os processos de fabricação diminuem de tamanho, o consumo de energia pode ser reduzido ao mesmo tempo. Muitos esforços para atingir baixas exigências de energia a nível de circuito podem ser vistos na literatura [3], [4], [5], [6], [7]. Esses esforços concentram-se na redução da tensão de alimentação, ajustes na tensão de limiar, estratégias de desligamento de partes do circuito e estilo de lógica. Estas opções podem ser escolhidas em nível de circuito e topologia para implementar diferentes funções aritméticas. Por exemplo, para desenvolver um somador, pode ser adotado *ripple-carry*, *carry-save* ou *carry look-ahead*. Ao escolher uma dessas arquiteturas, o baixo consumo de energia pode ser alcançado em detrimento de outras especificações, como velocidade ou área de chip.

Multiplicadores são os blocos de construção de processadores de sinais digitais. Além de somadores, multiplicadores digitais são as unidades funcionais aritméticas mais críticas em muitas aplicações em processamento digital de sinais, por exemplo, Transformada de Fourier, Transformada discreta de cossenos, filtragem, etc.

## 2.1 Técnica de Desvio

Multiplicadores convencionais podem ser classificados em iterativos e baseados em matrizes. O multiplicador iterativo pode realizar a multiplicação através de uma série de operações de deslocamento e adição. Uma vez que pode reutilizar o mesmo hardware para realizar a multiplicação, ocupa menos área do que outros multiplicadores. No entanto, ele precisa de mais ciclos de relógio para realizar a multiplicação e não pode ser realizado em uma estrutura de *pipeline*. Por outro lado, multiplicadores baseados em matrizes são mais utilizados devido à sua estrutura ser organizada por vários estágios de somadores e portas lógicas ‘E’. São gerados todos os produtos parciais após apenas um atraso da porta lógica ‘E’ e após isso todos os produtos parciais são somados sequencialmente. A vantagem desta estrutura é que a disposição dos somadores facilita o leiaute e também permite ser utilizado em uma estrutura paralela. No entanto, ocupa mais área e componentes do que o multiplicador iterativo.

Multiplicadores baseados em matrizes e paralelos são utilizados, devido à sua alta velocidade de execução e taxa de transferência. No entanto, o aumento da carga capacitiva e o tamanho dos operandos binários resultam em uma dissipação de potência muito grande [6]. Em circuitos CMOS estáticos, a atividade de transição é responsável pelo total da dissipação de energia devido à carga e descarga de capacitores. Dada a capacidade de carga média ( $C$ ), a tensão de alimentação ( $V$ ), e o número ( $a$ ) de transistores consumindo energia por operação, a dissipação de energia média [7] de um multiplicador CMOS digital pode ser expressa por:

$$E = a \cdot C \cdot V^2 \quad (2.1)$$

Uma técnica utilizada em multiplicadores digitais é reduzir o número de transições minimizando o chaveamento para reduzir a dissipação de energia. Um multiplicador usando essa técnica foi proposto em [7], a abordagem proposta é adicionar hardware para evitar cálculos redundantes, desativando as unidades somadoras cujo produto parcial torna-se zero. Este método depende de uma lógica de decisão para identificar que um produto parcial é igual a zero para ignorar ou desligar os somadores de uma linha. Na Figura 2.1 é mostrado o exemplo de uma multiplicação 4x4.

Para eliminar as transições de sinal redundantes, os somadores em que o produto parcial é zero são desabilitados, enquanto o produto parcial das linhas de somadores anterior é deslocado e desviado para a próxima linha de somadores. A estrutura da célula de adição utilizada para realizar essa operação pode ser visualizada na Figura 2.2. Nesta estrutura, dois multiplexadores foram adicionados nas saídas do somador



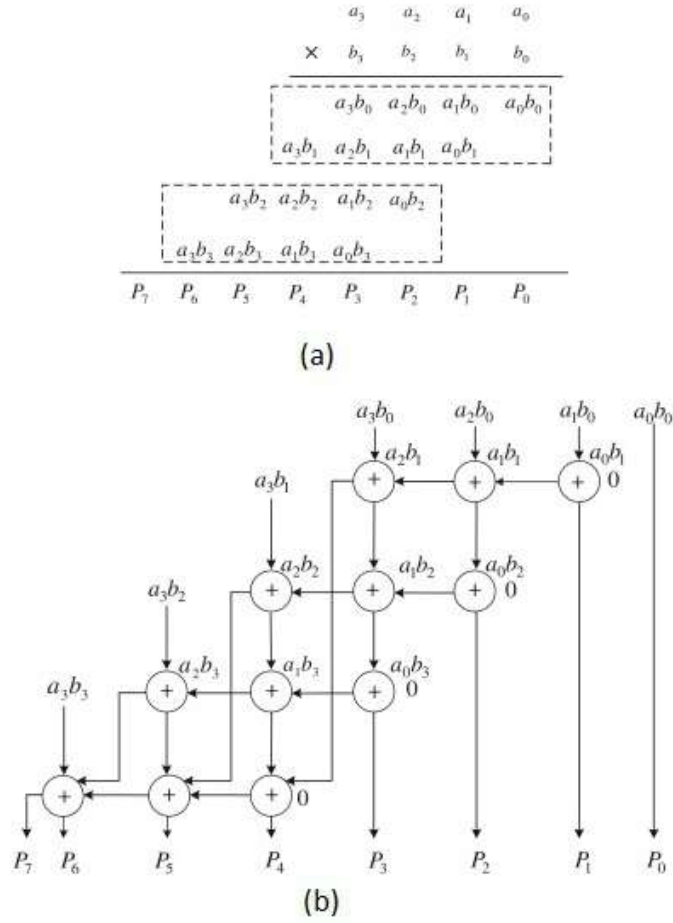


Figura 2.1: (a) Produtos parciais de uma multiplicação 4x4 e (b) Multiplicador tradicional.

completo para transmitir a entrada do *carry* e a soma da adição anterior para as saídas, quando o bit correspondente  $b_j$  é zero. Os buffers *tri-state*, colocados nas entradas da célula de adição, desativam os sinais de transição nessas células fazendo o desvio. A saída de bit do *carry*  $C_{i,j}$  é passada para baixo.

A Figura 2.3 mostra o esquema de implementação desse multiplicador com baixo consumo para um exemplo de multiplicação 4x4. Em comparação a estrutura tradicional de um multiplicador 4x4 mostrado na Figura 2.1 (b), pode-se notar que o esquema inclui modificações na célula de adição, com um circuito de desvio que é utilizado para desabilitar transições desnecessárias e para desviar as entradas para as saídas quando o produto parcial correspondente é igual à zero.

Para a aplicação do medidor de energia foi definido que o conversor A/D sigma-delta terá uma resolução de 16 bits, e com isso em mente para se obter o valor de energia medido em Watts é necessária a multiplicação dos valores medidos de tensão (V) e corrente (I) obtidos no transformador. Assim se faz necessário um multiplicador de baixo consumo de energia de 16x16, para isso basta se expandir o

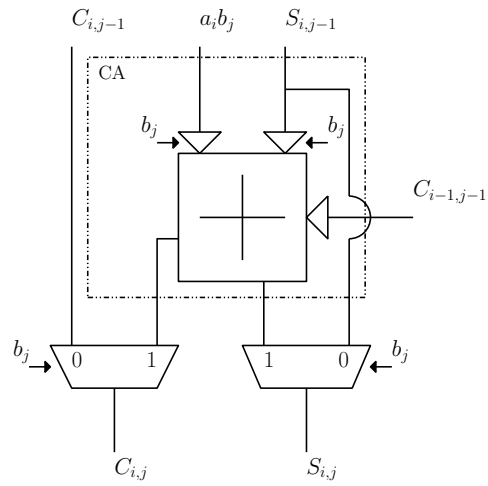


Figura 2.2: Estrutura da célula de adição.

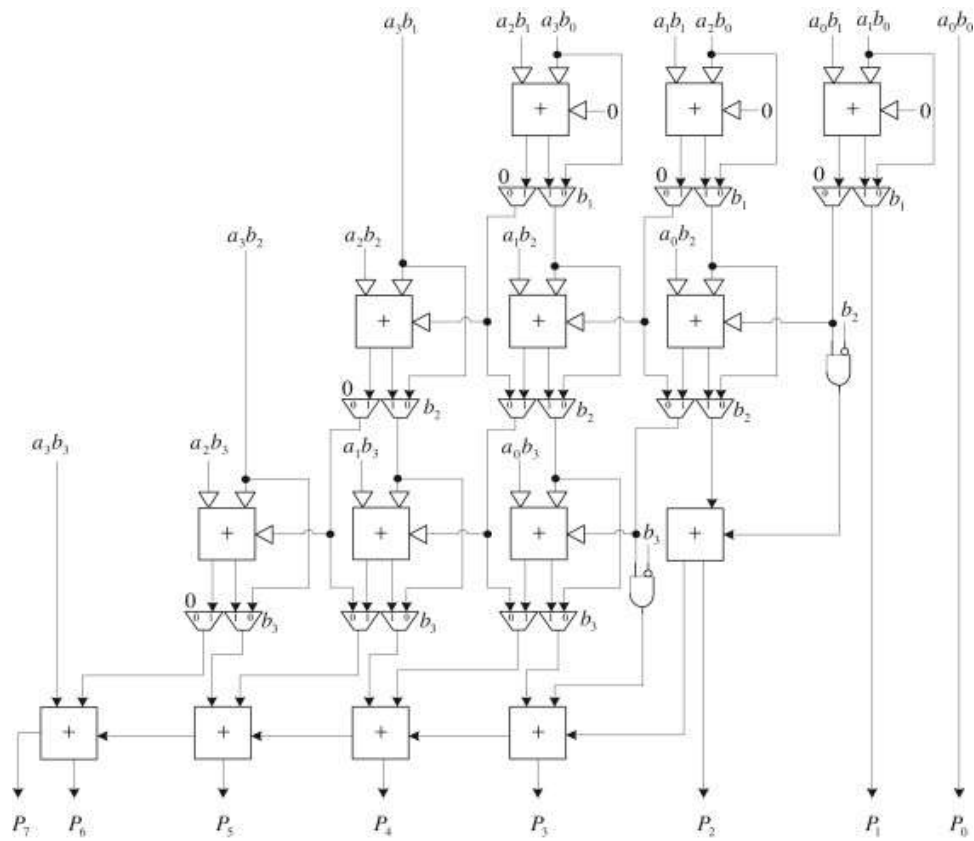


Figura 2.3: Um multiplicador 4x4 com circuito de desvio.

conceito explicado anteriormente e exibido na Figura 2.3.

## 2.2 Circuito Multiplicador 16x16

Nesta seção, é apresentada a avaliação de desempenho do multiplicador proposto juntamente com a comparação com um multiplicador tradicional. Foi avaliado o consumo de energia e área de leiaute, utilizando as bibliotecas digitais fornecidas pela tecnologia AMS 0,18  $\mu\text{m}$  e com uma tensão de alimentação de 1,8 V. O circuito do multiplicador de baixo consumo de energia de 16x16 foi desenvolvido utilizando a linguagem de descrição de hardware Verilog, com essa linguagem é possível definir o funcionamento do circuito e também fazer testes para verificar o seu funcionamento correto. Com o auxílio das ferramentas de desenvolvimento de circuitos integrados digitais fornecidas pela Cadence, RTL Compiler e Encounter, foram feitas simulações para estimar o consumo e a área que seria ocupada pelo multiplicador. O circuito obtido em nível de leiaute pode ser observado na Figura 2.4.

Para efeito de comparação também foi construído um multiplicador sem utilizar técnicas de diminuição de consumo de energia com o auxílio das ferramentas de sintetização de Verilog disponíveis no conjunto de ferramentas da Cadence. Com essas ferramentas foi possível medir o consumo de energia de cada uma das abordagens, com o intuito de se obter o real nível de economia de energia e quais as diferenças para o circuito tradicional, que podem ser observados abaixo.

Tabela 2.1: Comparação entre área ocupada e consumo de energia entre os multiplicadores.

	Multiplicador Tradicional	Multiplicador com Baixo Consumo
Quantidade de células	500	1682
Área Ocupada	13600 $\mu\text{m}^2$	47600 $\mu\text{m}^2$
Consumo de Energia	736 $\mu\text{W}$	437 $\mu\text{W}$

Como pode ser observado na Tabela 2.1, o multiplicador de baixo consumo aqui desenvolvido apresentou uma melhora significativa no consumo de energia se comparado ao multiplicador tradicional. No entanto, cabe ressaltar que esse ganho de 40% no consumo veio com o aumento da área. O multiplicador tradicional é 3,36 vezes menor que o multiplicador de baixo consumo. Mas como a aplicação do medidor de energia solicita um baixo consumo de energia para que a medição não seja alterada, esse aumento na área ocupada se faz necessário.

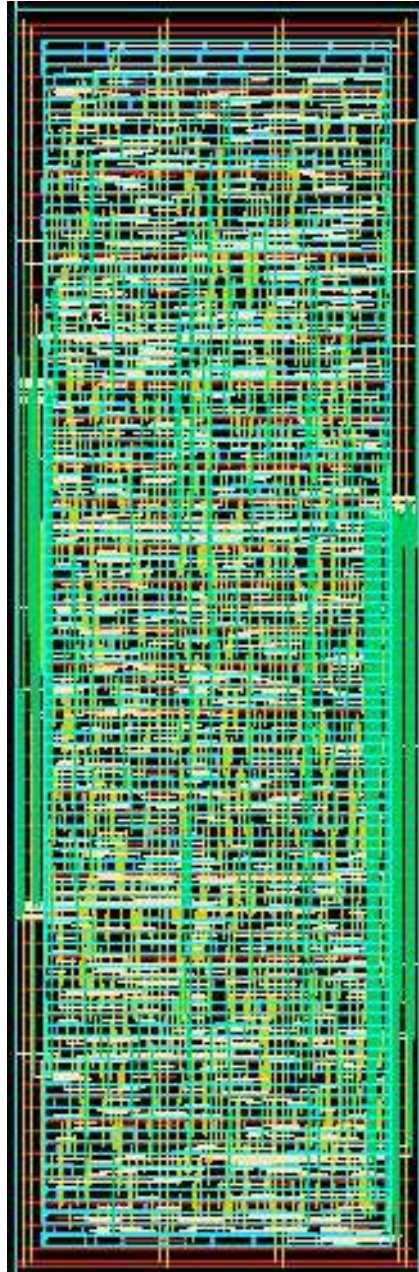


Figura 2.4: Leiaute do multiplicador 16x16 de baixo consumo de energia.

# Capítulo 3

## Filtros Digitais

Em um sistema, a função de um filtro é remover partes não desejadas do sinal, como o ruído, ou extrair partes úteis do sinal, como determinadas componentes de frequência que estão dentro da faixa de passagem. Essa é uma área de muito interesse em sistemas de energia elétrica devido à possibilidade de automatização dos cálculos e realização “on-line” da monitoração usando processadores digitais. Os principais campos de aplicação são medição, proteção e controle digital de processos, avaliação da qualidade de energia elétrica, cálculo de indicadores de qualidade, etc [16].

Os filtros podem ser classificados em analógicos e digitais. Os filtros analógicos estão relacionados com o sinal analógico em sua entrada que é contínuo no tempo e os filtros digitais têm entrada digital que é discreta no tempo. Para o projeto do medidor de energia de baixo consumo serão utilizados filtros digitais, pois os sinais de entrada já foram convertidos de analógicos para digitais por um conversor sigma-delta.

O filtro digital IIR (*Infinite Impulse Response*) é uma das ferramentas mais utilizadas quando se é preciso realizar um processamento digital do sinal, pois a ordem de um filtro FIR (*Finite Impulse Response*) é normalmente mais elevada para a mesma especificação. Isso tende a um uso maior de estruturas de memória e aritméticas, o que em termos de custo de implementação em um circuito integrado acaba sendo superior a de um filtro IIR que satisfaz as mesmas respostas em magnitude [17]. Devido a essa característica foram desenvolvidos para esse trabalho filtros IIR que se utilizam da técnica de redução de consumo descrita no Capítulo 2. Há um grande número de métodos para projetar filtros IIR, um dos métodos mais utilizados é a concepção de filtros digitais com o auxílio do programa MATLAB. Esta metodologia é melhor para a concepção de todos os tipos de filtros como passa-alta, passa-baixa, passa-faixa e rejeita-faixa.

Nas próximas seções serão explicados quais filtros foram utilizados e como foram implementados em circuito integrado.

### 3.1 Filtro Passa-Altas

Um filtro passa-altas permite a passagem de sinais com uma frequência superior a certa frequência de corte e atenua os demais sinais. A atenuação para cada frequência depende do projeto do filtro [18]. O filtro passa-altas tem muitos usos, sendo um deles a remoção da componente CC de um sinal. Nesse circuito de medição, o valor da potência real é extraído da potência instantânea. Então qualquer componente CC presente no valor de tensão e corrente medidos afeta diretamente a medição da potência instantânea e causará erro no cálculo da potência real. Para se remover essa componente CC do sinal de potência instantânea foi desenvolvido um filtro passa-altas que será introduzido logo após a medição de corrente e tensão pelo conversor sigma-delta. Como a filtragem passa-altas introduz um atraso de fase foi inserido o mesmo filtro em cada um dos canais de medição. Como os filtros são chaveados pelo mesmo clock digital, a diferença de fase entre eles é praticamente nula, tendo a frequência da linha de 60 Hz. Para essa remoção, a frequência de corte do filtro é de 4,45 Hz que induz um erro de ganho mínimo na frequência da linha e permite tempo de acomodação suficiente para a aplicação. Na Figura 3.1 se pode observar a resposta em frequência para o filtro passa-altas projetado.

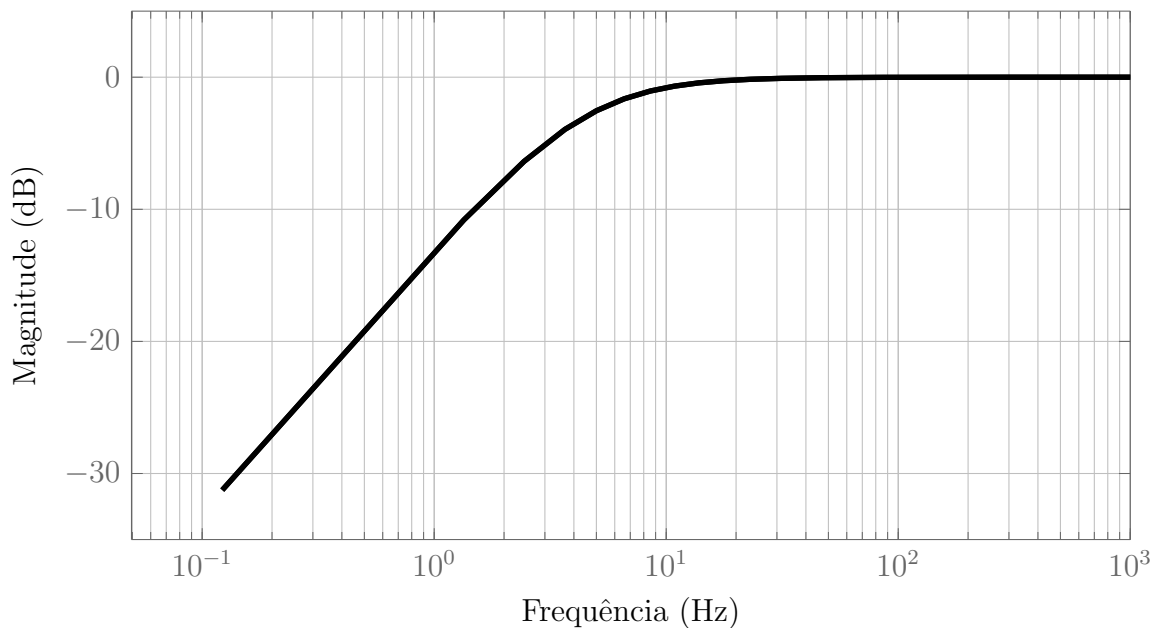


Figura 3.1: Resposta em frequência do filtro passa-altas.

O filtro que possui a resposta em frequência acima é um filtro de primeira ordem que foi projetado com o auxílio do programa Matlab e das ferramentas Cadence, RTL Compiler e Encounter, que permitem a síntese do código em verilog para o leiaute do circuito integrado. Esse filtro possui alguns multiplicadores que se utilizam

da técnica de redução de energia descrita anteriormente.

Nas Figuras 3.2 e 3.3 podem ser vistas as respostas ao degrau e ao impulso do filtro de baixo consumo projetado.

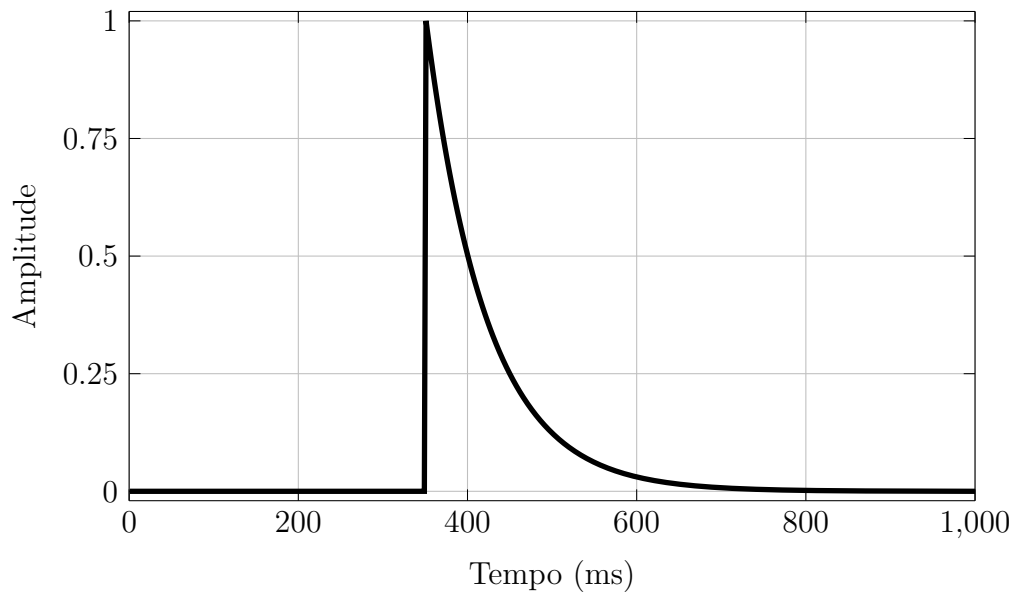


Figura 3.2: Resposta ao degrau do filtro passa-altas com baixo consumo de energia.

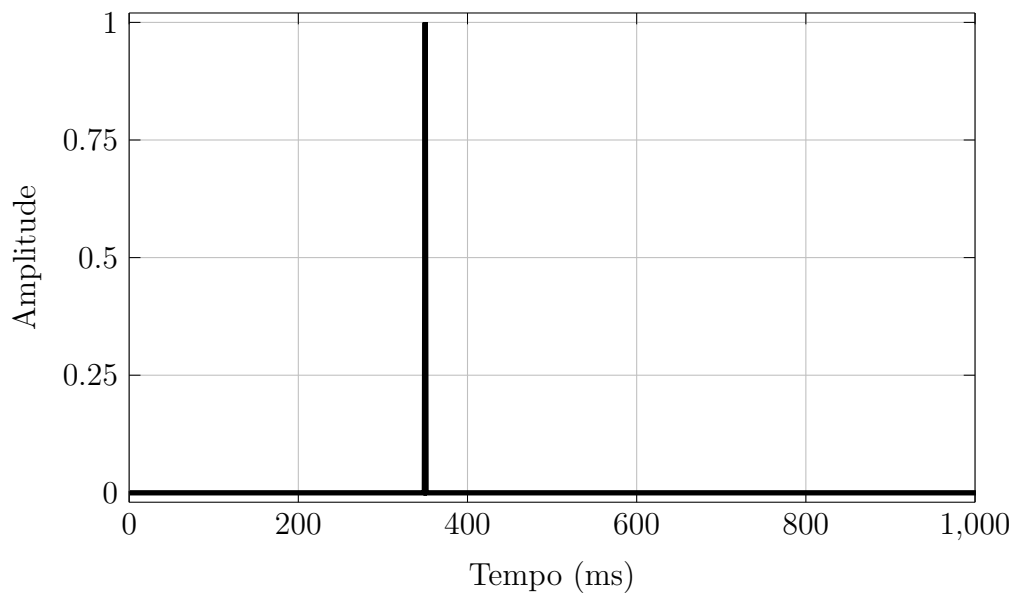


Figura 3.3: Resposta ao impulso do filtro passa-altas com baixo consumo de energia.

Na Figura 3.4 se pode observar o leiaute desse filtro na tecnologia CMOS 0,18  $\mu\text{m}$  da AMS.

Para efeito de comparação um filtro passa-altas com os mesmo requisitos foi desenvolvido sem utilizar a técnica de redução de energia e os resultados podem ser

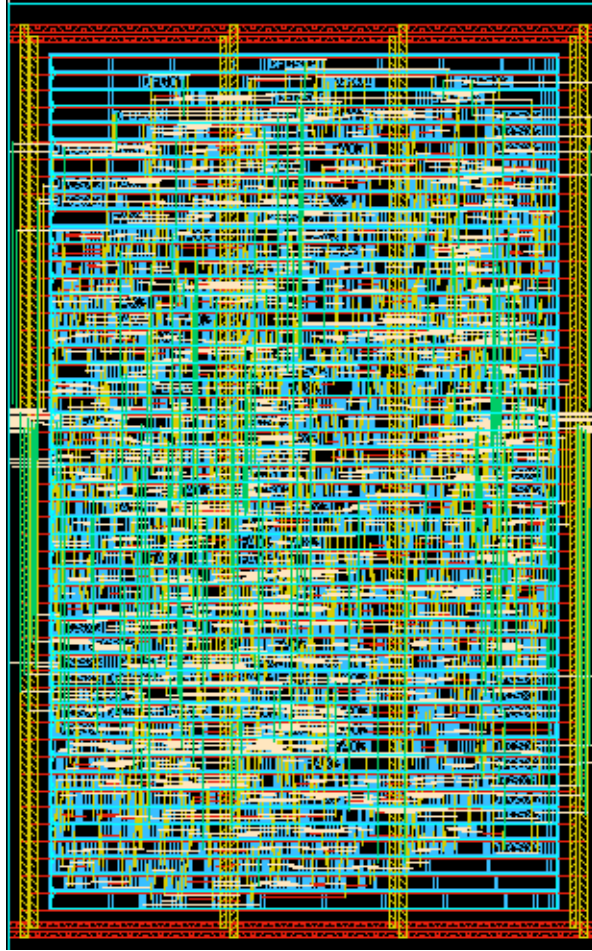


Figura 3.4: Leiaute do filtro passa-altas com baixo consumo de energia.

comparados na Tabela 3.1.

Tabela 3.1: Comparação entre área ocupada e consumo de energia entre os filtros passa-altas.

	Filtro Passa-Altas Tradicional	Filtro Passa-Altas com Baixo Consumo
Quantidade de células	706	983
Área Ocupada	13200 $\mu\text{m}^2$	18200 $\mu\text{m}^2$
Consumo de Energia	112 $\mu\text{W}$	95 $\mu\text{W}$

Como pode ser observado na Tabela 3.1, novamente o uso da técnica de redução de energia foi eficaz. Houve um consumo cerca de 15% menor que o filtro passa-altas tradicional, mas essa redução no consumo aumentou a área do filtro em 1,4 vezes se comparado ao tradicional. Como o objetivo do medidor é ter um baixo consumo, essa diferença na área não é preocupante.



## 3.2 Filtro Passa-Baixas

O filtro passa-baixas aqui desenvolvido é um filtro IIR de primeira ordem que extrai a informação de potência real (componente DC) do sinal de potência instantânea. A resposta em frequência deste filtro é apresentada na Figura 3.5.

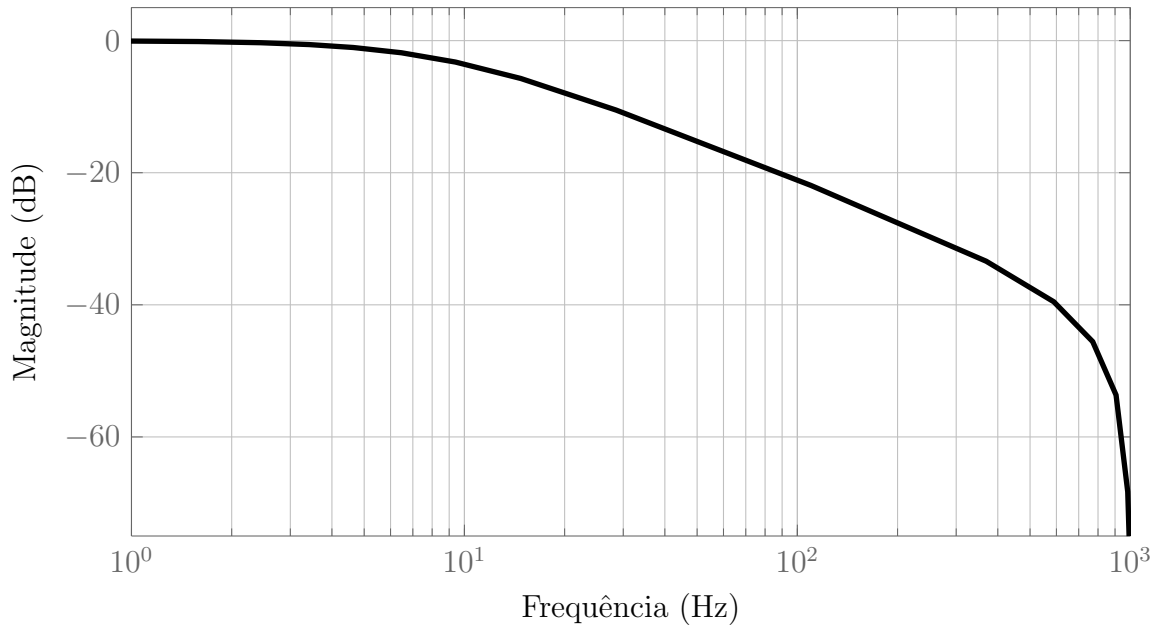


Figura 3.5: Resposta em frequência do filtro passa-baixas.

Devido ao fato do sinal de potência instantânea possuir componentes harmônicas, e uma vez que o filtro não é ideal, haverá alguma ondulação na saída do filtro passa-baixas para as harmônicas da frequência de linha. A frequência de corte do filtro é 8,9 Hz e foi escolhida para extrair a componente DC principal para as frequências de linha mais usadas que são 50 Hz e 60 Hz. Esse filtro possui alguns multiplicadores que se utilizam da técnica de redução de energia descrita anteriormente.

Nas Figuras 3.6 e 3.7, podem ser vistas as respostas ao degrau e ao impulso do filtro de baixo consumo projetado.

Na Figura 3.8 se pode observar o leiaute desse filtro na tecnologia CMOS 0,18  $\mu\text{m}$  da AMS.

Para efeito de comparação um filtro passa-baixas com os mesmos requisitos foi desenvolvido sem utilizar a técnica de redução de energia e os resultados podem ser comparados na Tabela 3.2.

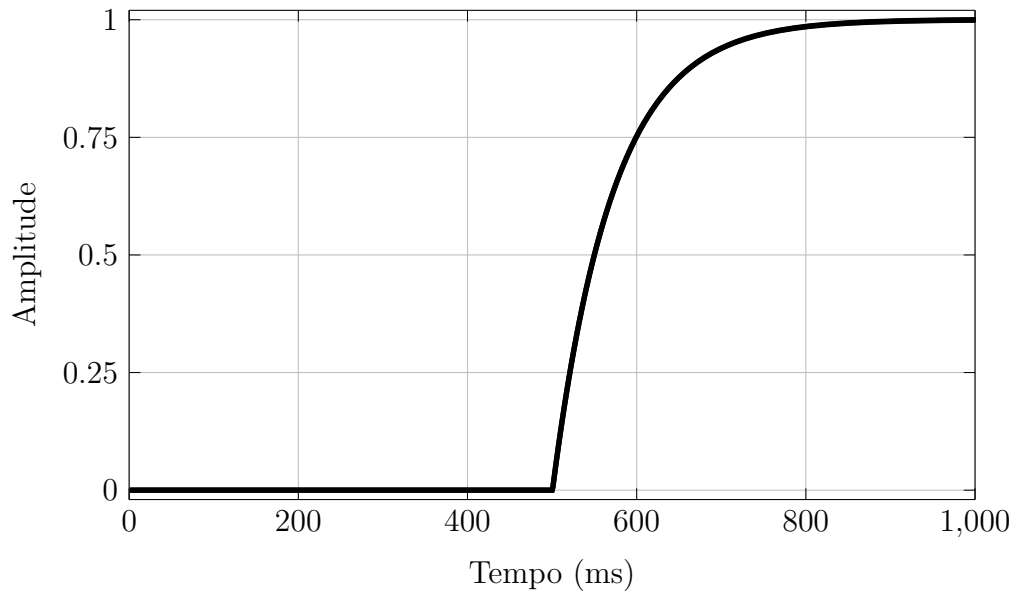


Figura 3.6: Resposta ao degrau do filtro passa-baixas com baixo consumo de energia.

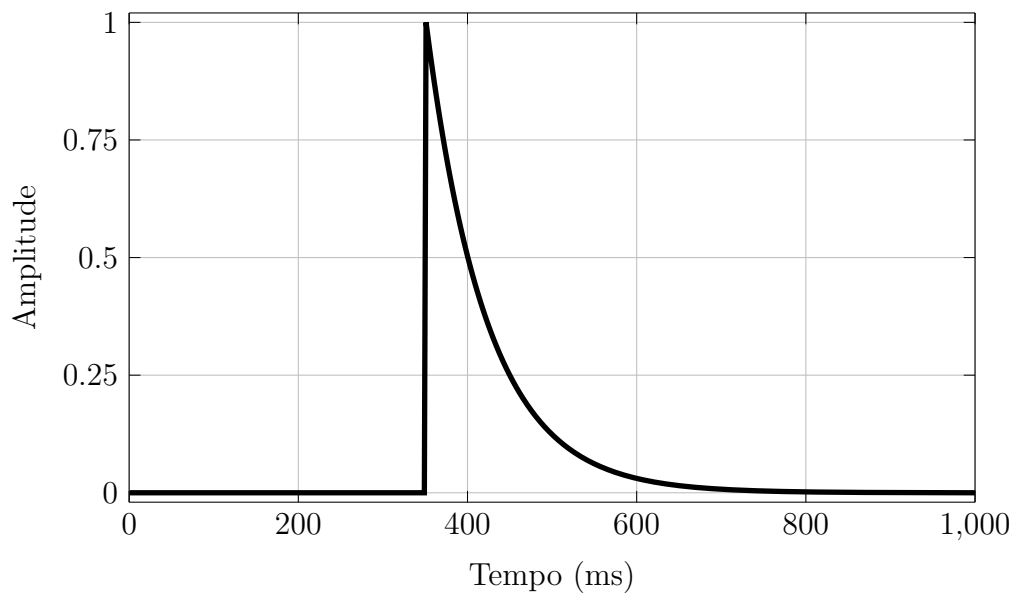


Figura 3.7: Resposta ao impulso do filtro passa-baixas com baixo consumo de energia.

Tabela 3.2: Comparação entre área ocupada e consumo de energia entre os filtros passa-baixas.

	Filtro Passa-Baixas Tradicional	Filtro Passa-Baixas com Baixo Consumo
Quantidade de células	741	1698
Área Ocupada	13200 $\mu\text{m}^2$	30400 $\mu\text{m}^2$
Consumo de Energia	178 $\mu\text{W}$	131 $\mu\text{W}$

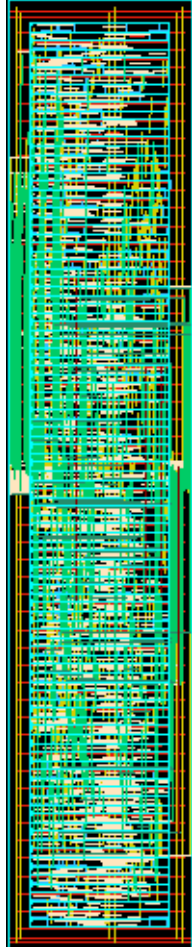


Figura 3.8: Leiaute do filtro passa-baixas com baixo consumo de energia.

Como pode ser observado na Tabela 3.2, novamente o uso da técnica de redução de energia foi eficaz. Houve um consumo cerca de 26% menor que o HPF tradicional, mas essa redução no consumo aumentou a área do filtro em 2,3 vezes se comparado ao tradicional. Como o objetivo do medidor é ter um baixo consumo, essa diferença na área não é preocupante.

## Capítulo 4

# Modulador Sigma-Delta Pseudo-Paralelo

A técnica de sobre-amostragem utilizada nos moduladores sigma-delta (SDMs) permite que esses componentes possuam uma linearidade elevada e essa é a principal razão para a popularidade destes em conversores de dados [19], [20], [21]. Porém, para atingir este grau de linearidade uma alta taxa de sobre-amostragem é necessária, aumentando a necessidade de processamento em alta velocidade, o que eleva o consumo de energia [10].

Algumas aplicações têm incentivado projetistas a desenvolver conversores altamente lineares com grandes larguras de banda de entrada [8], [9]. O uso de moduladores de ordem elevada e razões de sobre-amostragens menores é uma alternativa que tem sido utilizada, mas apresenta como desvantagem a instabilidade de SDMs de ordem mais alta.

O conceito de processamento de sinal multitaxas para reduzir a razão de sobre-amostragem tem sido utilizado por muitos trabalhos de pesquisa. Em [22] foi proposto um novo SDM de processamento paralelo que utiliza moduladores interconectados trabalhando em paralelo com cada um funcionando no mesmo clock. Uma arquitetura que faz o uso mais eficiente de área foi proposta em [23] e consiste na combinação de vários SDMs em paralelo, juntamente com pré-processamento analógico do sinal de entrada e pós-processamento digital dos sinais de saída. Uma arquitetura Sigma-Delta entrelaçada no tempo foi usada em [24] para aumentar a largura de banda do conversor com uma menor complexidade de hardware. Em [25] uma transformação de Hadamard foi utilizada para se decompor o espectro de entrada em várias sub-bandas, as quais foram, em seguida, aplicadas em SDMs separados, cujas saídas foram subsequentemente recombinadas.

No trabalho [10], uma abordagem alternativa que evita o uso de múltiplos SDMs, também baseada em processamento paralelo, é descrita. O Modulador Sigma-Delta Pseudo-Paralelo (PSDM) implementa etapas de processamento combinadas e simpli-

ficadas para  $n$  clocks sequenciais de um SDM tradicional. Trata-se de um modulador que combina  $n$  malhas fechadas que geram  $n$  bits por ciclo de clock. A frequência de amostragem mais elevada do PSDM é deslocada para um multiplexador, fazendo a taxa de seleção desse multiplexador ser igual à frequência de amostragem de um SDM tradicional de um único bit. Os outros elementos de processamento do PSDM operam com uma velocidade  $n$  vezes menor do que a do SDM de bit único tradicional.

O presente trabalho apresenta o projeto de um PSDM como um estágio de um conversor analógico-digital (ADC) para aplicações de medição de energia elétrica. O modulador foi projetado para a tecnologia AMS 0,18  $\mu\text{m}$  e utilizando 1,8 V de tensão de alimentação. O ADC sigma-delta é dividido em dois estágios principais: um PSDM (domínio analógico) e o decimador (domínio digital). Este último consiste num filtro digital e um redutor de frequência que fornece um sinal de frequência limitado com um número específico de bits e uma frequência de amostragem reduzida (tipicamente pela mesma razão que a razão de sobre-amostragem). O PSDM transmite o sinal de entrada modulado para o circuito digital com uma SNR para satisfazer a resolução necessária.

O projeto do sistema de medição descrito neste trabalho funciona em baixas frequências, e seu ADC requer um grande número de bits. Este é o caso de CIs de medição de energia elétrica em que a largura de banda do sinal de entrada varia tipicamente de 40 Hz a 2 kHz. Esses valores são determinados pelas especificações da norma IEC-61036, que exige mais de 20 harmônicos, ampla faixa dinâmica e precisão de medição de 0,5%. Vale ressaltar que o ADC recebe um sinal de amplitude quase constante pois é precedido por um amplificador de ganho programável. Um parâmetro de qualidade importante do CI de medição é baseado no seu baixo consumo de energia, especialmente porque extrai a energia da fonte a ser medida.

Como o principal consumidor de energia estática em um modulador sigma-delta é o amplificador operacional de transcondutância (OTA), pois este requer alto produto ganho-banda (GBW) e rápida taxa de variação da tensão de saída (SR), o projeto deste amplificador usando o consumo mínimo de energia representa um grande desafio.

Neste trabalho, se encontra o desenvolvimento de um modulador sigma-delta baseado na proposta descrita em [10]. No entanto aqui o circuito está sendo projetado para trabalhar com circuitos analógicos, diferente do proposto no artigo [10], que é fundamentalmente digital. A principal contribuição deste trabalho é a concepção de um PSDM que se adapte aos requisitos de aplicação de sistemas de medição de energia elétrica (TCAM e TPAM), com baixo consumo de energia devido à sua característica de redução da taxa de sobre-amostragem.

## 4.1 PSDM de Baixa Sobre-Amostragem

Esta seção explica o funcionamento da arquitetura PSDM que se utiliza da técnica de baixa sobre-amostragem proposta em [10] que gera na saída do SDM um sinal digital de dois níveis. Para o SDM tradicional, a frequência de amostragem do sinal de entrada e a frequência do clock do SDM são tipicamente iguais.

Supondo que a frequência de amostragem do sinal de entrada é  $f_s$ , enquanto a frequência de clock do SDM é  $f'_s$ , e assumindo que  $f'_s > f_s$  e  $f'_s/f_s$  é um valor inteiro positivo,  $N$ . Após  $N$  períodos de clock, o SDM processa uma entrada constante.

A frequência  $f'_s$  se refere à frequência de seleção da entrada do multiplexador que é igual à taxa de saída do PSDM. Esta frequência  $f'_s$  também pode ser considerada como a frequência efetiva do PSDM que é igual à frequência de amostragem de um SDM tradicional. A frequência de processamento de todos os elementos de processamento do PSDM é  $f_s$  exceto pela frequência do multiplexador que é  $f'_s$ .

Nas Figuras 4.1 e 4.2 podemos observar as funções de transferência para um SDM tradicional e o PSDM.

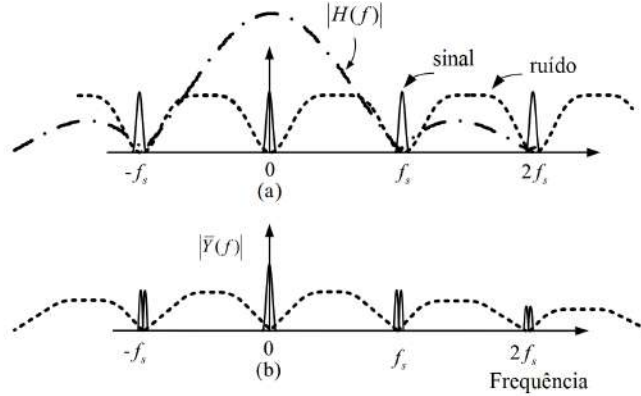


Figura 4.1: (a) Sinal  $X(f)$  (sólido), o ruído moldado (pontilhada) e a resposta em frequência da amostragem  $H(f)$  (tracejada-ponto); (b) Amostragem do sinal  $\tilde{Y}(f)$ .

A frequência nas Figuras 4.1 e 4.2 (a) é a mesma para o SDM e PSDM. No entanto eles têm diferentes frequências para (b), (c) e (d).

Pode-se observar na Figura 4.2 que enquanto  $f_s$  é suficientemente maior que a frequência de Nyquist do sinal de entrada,  $x(t)$ , o sinal na banda-base é de alta qualidade. A fórmula para a taxa de sobre-amostragem é dada pela Equação 4.1. BW é a banda do sinal, e OSR representa a taxa de sobre-amostragem.

$$OSR = \frac{f_s}{BW} \quad (4.1)$$

Um sinal de entrada sobre-amostrado não é necessário para que o SDM produza

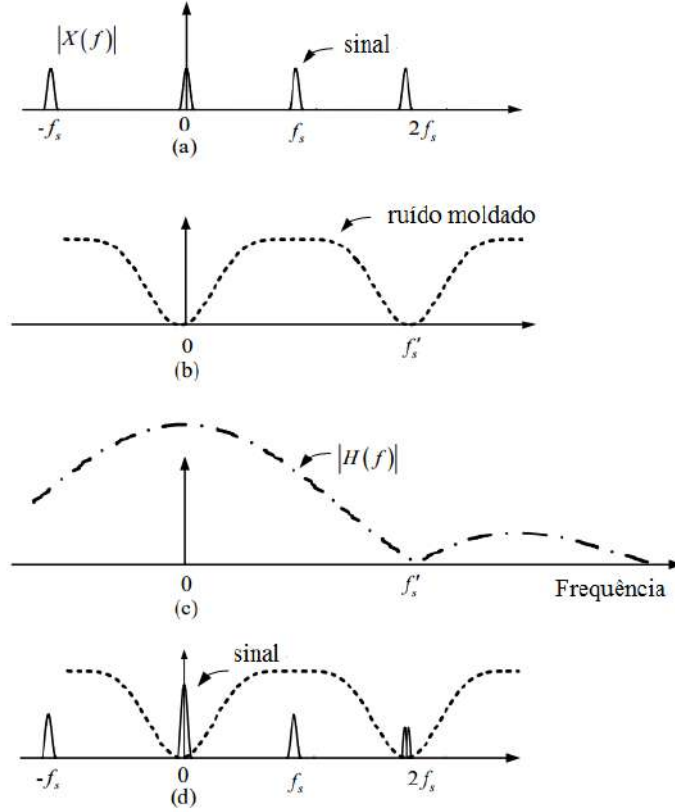


Figura 4.2: (a) Sinal  $X(f)$  (sólido), (b) o ruído moldado (pontilhada), (c) resposta em frequência da amostragem  $H(f)$  (tracejada-ponto); (d) sinal de saída quando a frequência de amostragem  $f_s$  é diferente da frequência do clock  $f'_s$  do SDM.

um sinal de alta qualidade na banda-base. No entanto, é importante para o SDM trabalhar em altas frequências, como com sobre-amostragem de 256 vezes a frequência de Nyquist, a fim de mover o ruído de quantização para as altas frequências, e assim diminuir seu nível na banda útil do sinal.

O PSDM proposto tira vantagem disso pelo fato de que os SDMs podem processar amostras de entradas constantes por  $N$  períodos de clock. Assim, o PSDM pode processar  $N$  amostras constantes em paralelo para combinar o processamento de  $N$  SDMs tradicionais.

A ordem do PSDM é a mesma ordem do SDM tradicional utilizado no PSDM. No entanto,  $N$  será referido como o fator de desenrolamento do PSDM. Nas próximas seções, um PSDM de segunda ordem com  $N=2$  é descrito.

## 4.2 Implementação de um PSDM de Segunda Ordem e com Fator de Desenrolamento Dois

Nesta seção propõe-se a versão paralela de um SDM de segunda ordem, quando o fator desenrolamento,  $N$ , é igual a 2. A Figura 4.3 mostra o diagrama de blocos para essa implementação. A entrada do modulador sigma-delta é amostrada com a frequência  $f_s$ .

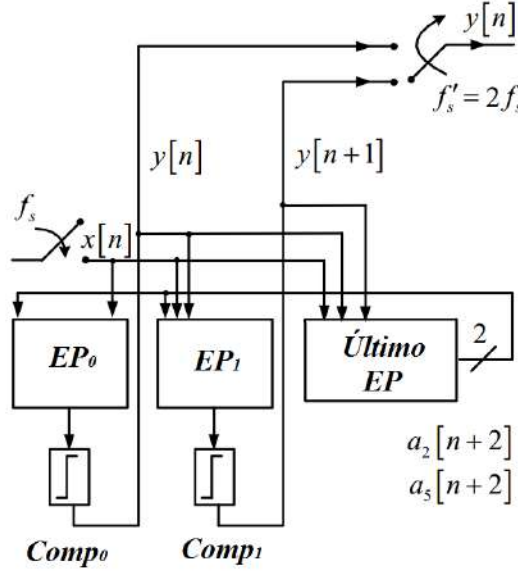


Figura 4.3: Diagrama de blocos da implementação de um PSDM de segunda ordem com fator de desenrolamento 2.

Note que o PSDM associado à Figura 4.3 processa uma entrada constante em  $N$  períodos de clock, no caso  $N$  é 2. Todos os elementos de processamento estão trabalhando a frequência de clock  $f_s$ . A frequência do multiplexador, que dá a taxa de transferência do PSDM, é  $f'_s = 2f_s$ . Na verdade, a frequência efetiva do PSDM é  $f'_s = 2f_s$  por causa do processamento paralelo. Esta característica do PSDM ajuda no seu projeto, pois os componentes que compõem o modulador terão que trabalhar com a metade da frequência de clock. Assim, seus requisitos de funcionamento serão reduzidos, pois estão trabalhando com uma frequência menor, e consequentemente dissipando menos energia.

A Figura 4.4 apresenta a implementação do modulador sigma-delta de segunda ordem com os respectivos ganhos C11, C12 e C13.

Supõe-se que os sinais  $a_2[n]$ ,  $a_5[n]$ ,  $a_7[n]$ ,  $x[n]$  e  $y[n]$  denotam os sinais nos nós na amostra de tempo  $n$ . Os sinais  $x[n]$  e  $y[n]$  referem-se aos sinais de entrada e de saída do SDM. Uma vez que é assumido que  $N=2$ , o sinal de entrada é constante durante dois ciclos de clock  $f'_s$ , ou seja,  $x[n] = x[n+1]$ , onde  $n$  é um múltiplo de 2.



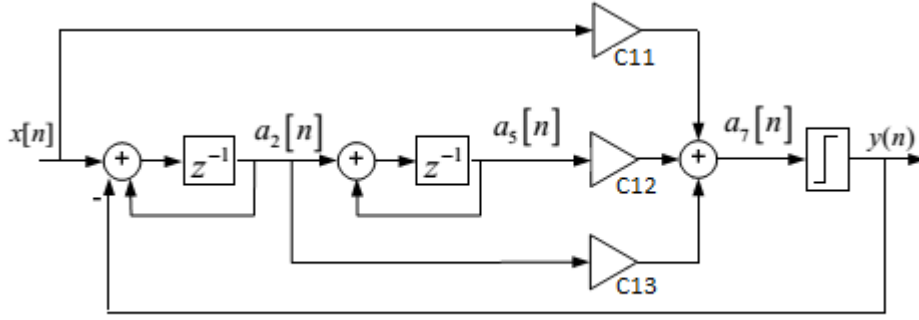


Figura 4.4: Representação de um SDM de segunda ordem.

As expressões na Equação 4.2 mostram como calcular os valores dos sinais  $a_2$ ,  $a_5$  e  $a_7$  no tempo  $n + 1$ , utilizando os valores do sinal na amostra de tempo anterior,  $n$ . O valor do sinal  $a_7$  é calculado diretamente a partir de  $a_2$ ,  $a_5$  e  $x$  no tempo  $n$ . O quantizador de dois níveis quantiza  $a_7$  em -1 ou +1 no tempo  $n$ . O valor quantizado é  $y[n]$ .

$$\begin{aligned}
 a_2[n + 1] &= a_2[n] + x[n] - y[n] \\
 a_5[n + 1] &= a_2[n] + a_5[n] \\
 a_7[n] &= C13 \cdot a_2[n] + C12 \cdot a_5[n] + C11 \cdot x[n] \leftarrow EP_0 \\
 y[n] &= Q(a_7[n]) \leftarrow Comp_0
 \end{aligned} \tag{4.2}$$

As duas últimas linhas na Equação 4.2 correspondem às duas partes do PSDM na Figura 4.3, elemento processador ( $EP_0$ ) e quantizador de 1 bit ( $Comp_0$ ).

As expressões na Equação 4.3 mostram como calcular os valores dos sinais  $a_2$ ,  $a_5$  e  $a_7$  no tempo  $n + 2$ , utilizando os valores do sinal na amostra de tempo anterior, assumindo que o sinal de entrada,  $x$ , é contante no tempo  $n$  e  $n + 1$ . Para atualizar os valores dos sinais para o próximo período de clock  $f'_s$ , as expressões utilizadas na Equação 4.2 têm seus valores no tempo incrementados como mostrado na Equação 4.3.

$$\begin{aligned}
 a_7[n + 1] &= (C12 + C13) \cdot a_2[n] + C12 \cdot a_5[n] \\
 &\quad + (C11 + C13) \cdot x[n] - C13 \cdot y[n] \leftarrow EP_1 \\
 y[n + 1] &= Q(a_7[n + 1]) \leftarrow Comp_1
 \end{aligned} \tag{4.3}$$

As linhas na Equação 4.3 correspondem às seguintes partes do PSDM na Figura 4.3, elemento processador ( $EP_1$ ) e quantizador de 1 bit ( $Comp_1$ ), que calcula a saída  $y$  no tempo  $n + 1$ .

Pode-se observar na equação que o procedimento de cálculo de  $a_7[n + 1]$  pode

ser dividido em duas partes. A primeira parte é dependente dos valores dos sinais  $a_2$ ,  $a_5$  e  $x$  no tempo  $n$  e pode ser processada no tempo  $n$ . A segunda parte depende de  $y[n]$ , que é processada por  $EP_1$ , e esse processo se inicia no tempo  $n$ . A segunda parte é um valor de dois níveis e as duas possibilidades podem ser pré-calculadas e armazenadas. Somente quando  $y[n]$  está pronto a segunda parte é multiplexada a partir dos valores pré-calculados. O único cálculo que depende de  $y[n]$  é o somatório do termo pré-calculado  $C13 \cdot y[n]$  e o cálculo da segunda parte da Equação 4.3.

Para concluir o processo de calcular duas saídas sequenciais do PSDM, deve-se iniciar o processo ao mesmo tempo para conseguir finalizá-lo em um período de clock  $f'_s$ . Está claro a partir das Equações 4.2 e 4.3 que os atrasos das duas saídas sequenciais são da mesma ordem que de um SDM tradicional, como observado nas primeiras duas linhas da Equação 4.2. A Figura 4.3 mostra como o processo do cálculo é feito pelo PSDM.

Os sinais  $a_2$  e  $a_5$  são computados pelas Equações 4.4 e 4.5, são usados nos próximos dois ciclos e correspondem ao último elemento processador mostrado na Figura 4.3.

$$\begin{aligned}
a_2[n+2] &= a_2[n+1] + x[n+1] - y[n+1] \\
a_2[n+2] &= a_2[n] + x[n] - y[n] + x[n] - y[n+1] \\
a_2[n+2] &= a_2[n] + 2 \cdot x[n] - y[n] - y[n+1] \\
a_5[n+2] &= a_2[n+1] + a_5[n+1] \\
a_5[n+2] &= a_2[n] + x[n] - y[n] + a_2[n] + a_5[n] \\
a_5[n+2] &= 2 \cdot a_2[n] + a_5[n] + x[n] - y[n]
\end{aligned} \tag{4.4}$$

$$\begin{aligned}
a_5[n+2] &= a_2[n+1] + a_5[n+1] \\
a_5[n+2] &= a_2[n] + x[n] - y[n] + a_2[n] + a_5[n] \\
a_5[n+2] &= 2 \cdot a_2[n] + a_5[n] + x[n] - y[n]
\end{aligned} \tag{4.5}$$

### 4.3 Modelagem do PSDM

Os principais componentes para o projeto do PSDM são os integradores, os coeficientes e o conversor digital para analógico (DAC). A definição dos seus parâmetros é fundamental para o seu funcionamento correto. Os parâmetros mais importantes do DAC são as tensões de referência utilizadas, pois estas determinam a faixa de tensão na saída do primeiro integrador e definem também o valor dos coeficientes de realimentação.

Os valores dos coeficientes restantes foram obtidos simulando o modelo ideal do modulador para cada combinação de coeficientes, buscando os valores máximos de SNR em uma dada amplitude de entrada. Os valores dos coeficientes ideais são os que proporcionam a máxima SNR e ocupam a menor área possível. As simulações foram feitas usando modelos de Simulink baseados em [26]. E como foi descrito na seção 4.2, o PSDM trata-se de uma versão paralela de um SDM de segunda ordem,

quando o fator de desenrolamento é igual a 2.

Na Figura 4.5 é mostrado o modelo do modulador de segunda ordem utilizado para o cálculo dos coeficientes.

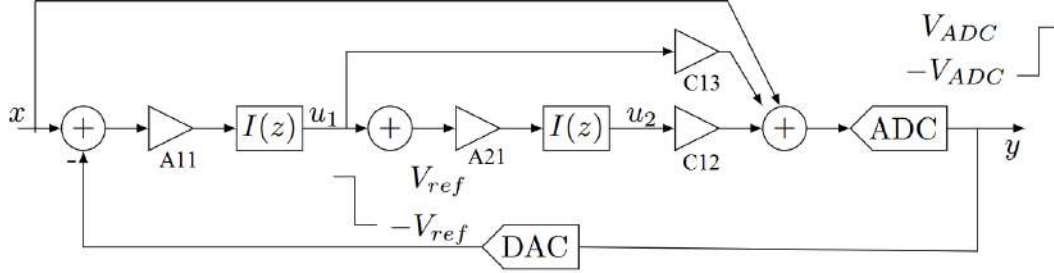


Figura 4.5: Representação de um SDM de segunda ordem.

O objetivo foi encontrar o valor máximo de SNR para um sinal de entrada com amplitude igual a  $A_{in} = 0,9 \cdot V_{REF}$ . O modelo ideal foi simulado para cada combinação dos coeficientes, A11 e A21 variaram de 0,1 a 0,9 com passos de 0,1 e, C12 e C13 variaram de 0,5 a 2,5 com passos de 0,25. Os coeficientes A11 e A21 são formados por uma razão entre as capacitâncias de chaveamento e de integração, enquanto que os coeficientes de *feed-forward* em moduladores de um bit são definidos pelo valor de um único capacitor. Na Tabela 4.1 são apresentados alguns dos valores obtidos com a varredura dos coeficientes. Neste trabalho foram utilizados os coeficientes: A11=0,9, A21=0,2, C12=1 e C13=1, pois o resultado da SNR necessária para essa aplicação é atingido com essa combinação e as razões de capacitâncias para esses valores dos coeficientes facilitarão o leiaute do PSDM.

Tabela 4.1: Coeficientes para obtenção do melhor SNR do modulador.

SNR	ENOB	A11	A21	C12	C13
105,04	17,16	0,8	0,2	0,75	1,25
105,03	17,16	0,8	0,8	1,25	1,25
105,00	17,15	0,8	0,6	0,75	1,25
104,99	17,15	0,9	0,2	1,00	1,00
104,95	17,14	0,6	0,3	1,75	1,00
104,89	17,13	0,8	0,2	1,25	1,75
104,62	17,09	0,9	0,3	2,00	2,00

As simulações a seguir foram feitas usando os parâmetros listados na Tabela 4.2. A tensão de referência  $V_{REF}$  é o nível de tensão de saída do DAC. Os parâmetros  $A_{in}$  e  $f'_{sin}$  são as características da entrada senoidal do modulador, sendo a frequência

de entrada proporcional à resolução de frequência ( $f'_s/I$ ) e próxima a 1,8 kHz que é a última componente de frequência do sinal medido.

Tabela 4.2: Parâmetros de simulação.

Parâmetro	Símbolo	Valor
Constante de Boltzmann	$k$	$1,381 \times 10^{-23} J/K$
Temperatura	$T$	300 K
Número de Amostras	$I$	65536
Tensão de referência	$V_{REF}$	1 V
Frequência de Amostragem	$f_s$	512 kHz
Amplitude do Sinal	$A_{in}$	$0,9 \cdot V_{REF}$
Frequência do Sinal	$f_{sin}$	$116 \cdot (f'_s/I)$
Largura de Banda	BW	$(f_s/2)/OSR$
Razão de Sobre-amostragem	OSR	128

#### 4.3.1 Resposta do PSDM Ideal

As simulações foram primeiramente realizadas usando o modelo do PSDM em simulink mostrado na Figura 4.6, utilizando os coeficientes definidos anteriormente da seguinte maneira  $A11=0,9$ ,  $A21=0,2$ ,  $C11=1$ ,  $C12=1$  e  $C13=1$ .

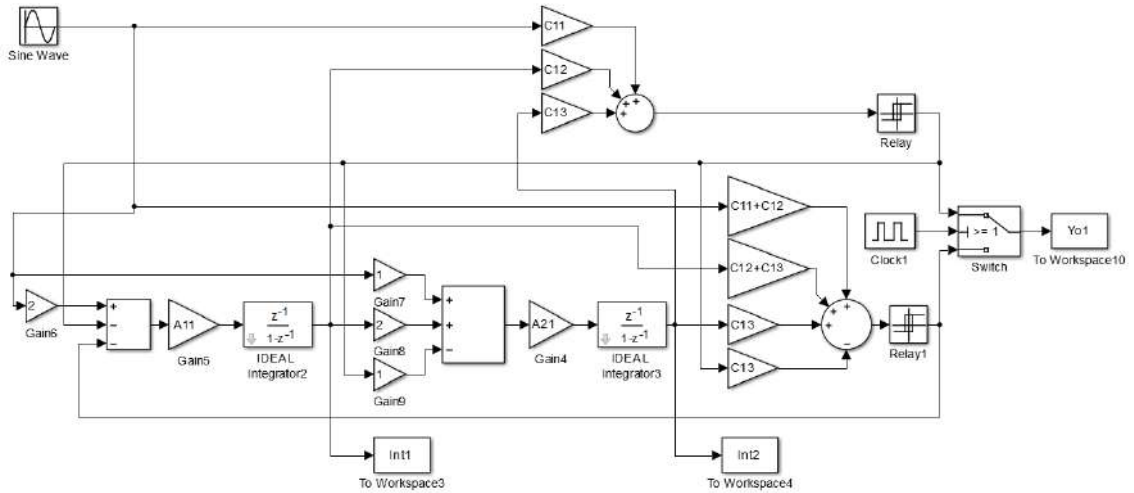


Figura 4.6: Modelo em Simulink ideal do PSDM de segunda ordem com fator de desenrolamento 2.

A densidade espectral de potência (PSD) do sinal de saída é mostrada na Figura 4.7. Como pode ser observado, para o modelo ideal foi atingida uma SNR de 104,99 dB com um número efetivo de bits (ENOB) de 17,15.

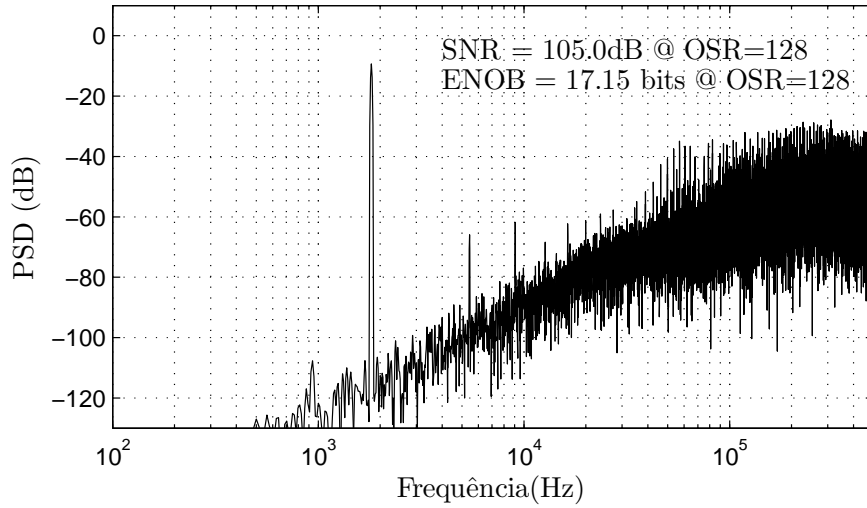


Figura 4.7: Resposta em frequência para o modelo em Simulink ideal do PSDM de segunda ordem com fator de desenrolamento 2, com os valores de SNR e ENOB.

Os histogramas das saídas dos integradores são mostrados na Figura 4.8. Pode-se observar que a tensão de saída do primeiro integrador varia de -1,74 a 1,74 e do segundo integrador vai de -1,44 a 1,44. Ambos estão na faixa de resposta típica do amplificador, o que significa que não são necessárias técnicas especiais para o projeto deste circuito.

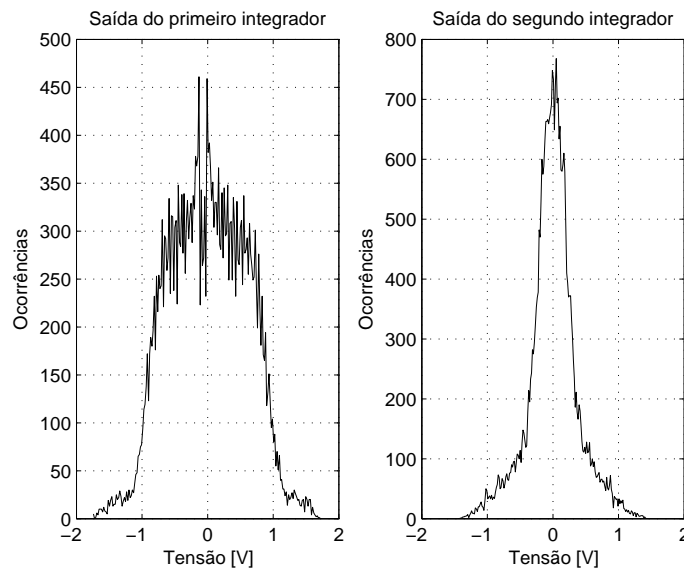


Figura 4.8: Histogramas das saídas dos integradores.

### 4.3.2 Resposta do PSDM Não-Ideal

As não idealidades do amplificador, como o ganho DC ( $A_{DC}$ ), a máxima taxa de variação da tensão de saída (SR), o produto ganho-banda (GBW) e a tensão de saturação ( $V_{SAT}$ ) são as causas da transferência incompleta de carga em um integrador a capacitores chaveados.

O ruído do integrador é a principal causa da degradação da SNR no modulador, por isso as não-idealidades devem ser especificadas considerando a preservação da resposta ideal do circuito. Esses efeitos foram analisados e modelados em [26], [27].

Em [28], foram definidas as não idealidades do amplificador que funcionava com uma frequência de 1 MHz. Nessa tese como o objetivo do modulador desenvolvido é reduzir o consumo de energia, um dos meios para se atingir esse objetivo é reduzir os requisitos do amplificador e isso é atingido pela diminuição da frequência de sobre-amostragem, pois trabalhando com uma menor frequência de chaveamento o amplificador poderá ser projetado com técnicas que obtêm um menor consumo de energia. Como nesse trabalho a frequência é de 512 kHz, alguns desses parâmetros podem ser utilizados de acordo com a Tabela 4.3.

Tabela 4.3: Especificações do amplificador.

Parâmetro	[28]	Este trabalho
$A_{DC}$	$> 56,9$ dB	$> 56,9$ dB
GBW	$> 3,2$ MHz	$> 1,6$ MHz
SR	$> 21$ MV/s	$> 10,5$ MV/s
$V_{SAT}$	$> 1,6$ V	$> 1,74$ V

Como pode ser observado, as especificações do amplificador utilizado nesse trabalho têm seus requisitos de GBW e SR diminuídos devido a se trabalhar com uma frequência menor e isso acarreta na diminuição do consumo de energia pois esses parâmetros estão diretamente ligados à quantidade de corrente utilizada pelo amplificador.

O modelo Simulink não-ideal demonstrado foi simulado usando os valores listados na Tabela 4.3. A PSD do sinal de saída é mostrada na Figura 4.9.

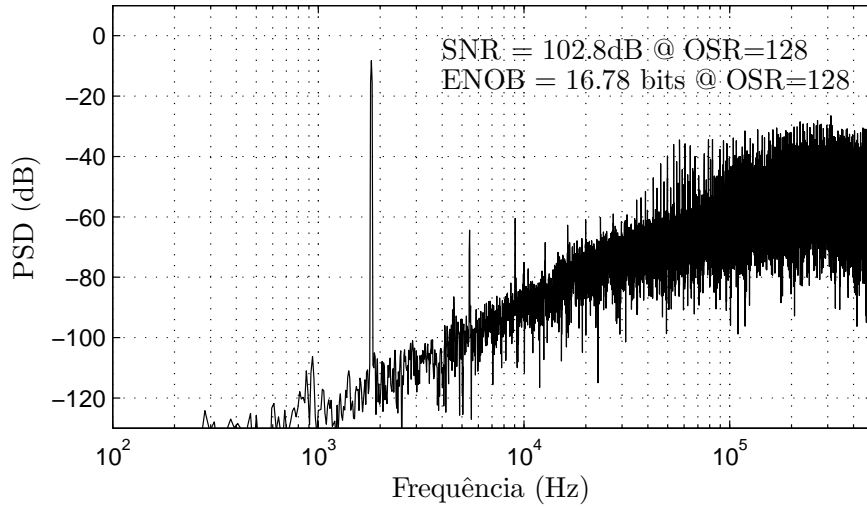


Figura 4.9: Resposta em frequência para o modelo em Simulink não-ideal do PSDM de segunda ordem com fator de desenrolamento 2, com os valores de SNR e ENOB.

Como pode se observar não há uma diferença significativa entre a resposta ideal mostrada na Figura 4.7 e a resposta obtida pelo modelo com parâmetros reais. A SNR do modulador difere do ideal em apenas 0,37 dB. O histograma de cada saída do integrador não é apresentado pois tem a mesma resposta que a do modelo ideal. Isto é esperado devido aos parâmetros não ideais do amplificador terem sido escolhidos de maneira que a resposta ideal do modulador não fosse afetada.

# Capítulo 5

## Projeto do PSDM

Neste capítulo descreve-se o projeto dos circuitos analógicos utilizados no PSDM para a tecnologia AMS 0,18  $\mu\text{m}$  e utilizando uma tensão de alimentação de 1,8 V. O projeto foi feito usando transistores padrão da tecnologia e priorizando a eficiência de energia ao invés da área. O procedimento para obter as dimensões finais dos transistores foi baseado em simulações.

### 5.1 Circuitos a Capacitores Chaveados

A idéia principal da técnica de capacitores chaveados consiste na substituição de resistores por capacitores acionados por chaves, permitindo a redução de área de silício e o aumento da precisão na implementação dos circuitos. O resistor mostrado na Figura 5.1 é simulado com o uso de um capacitor e um par de chaves analógicas que são acionadas de forma alternada e não simultânea.

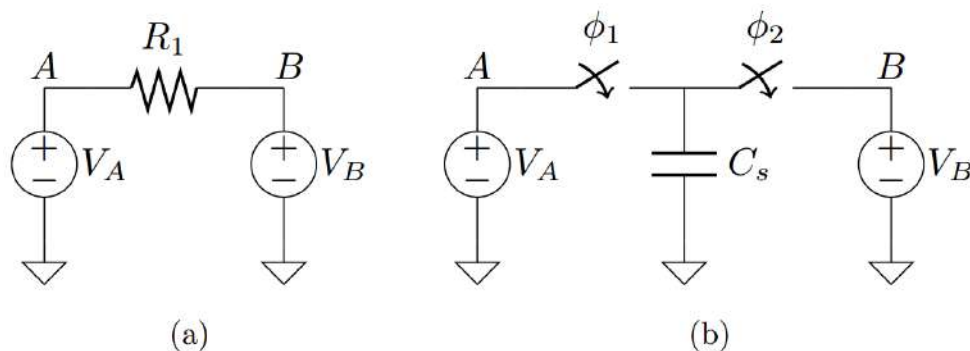


Figura 5.1: (a) Resistor ideal a ser simulado, (b) com a técnica de capacitores chaveados.

A aplicação do circuito chaveado melhora a precisão do sistema, pois a incerteza da razão entre dois capacitores é menor que a incerteza da razão entre um resistor e um capacitor, numa mesma pastilha de circuito integrado [29].



Para o circuito da Figura 5.1, na fase  $\phi_1$ , a chave 1 é fechada e a chave 2 é aberta e, na fase  $\phi_2$ , alternam os respectivos estados. As fases  $\phi_1$  e  $\phi_2$  que comandam o fechamento das chaves são pulsos com período igual a  $T$ . Na fase  $\phi_1$ , o capacitor  $C_s$  é carregado com a tensão  $V_A$ . Na transição de fases, ao abrir a chave 1, o capacitor continua armazenando a carga  $Q_1 = C_s \cdot V_A$ . Em seguida, ocorre o fechamento da chave 2, e a carga armazenada no capacitor se torna  $Q_2 = C_s \cdot V_B$ . Assim, a carga transferida de  $V_A$  até  $V_B$  em cada período de tempo  $T$  é dada pela Equação 5.1.

$$\Delta Q = C_s \cdot (V_A - V_B) \quad (5.1)$$

Se este processo de chaveamento é repetido  $n$  vezes no tempo, obtém-se:

$$\frac{\Delta q}{\Delta t} = C_s \cdot (V_A - V_B) \cdot \frac{n}{\Delta t} \quad (5.2)$$

Na última equação, considerando-se a corrente e a frequência de relógio, obtém-se:

$$i = C_s \cdot (V_A - V_B) \cdot f_{clk} \quad (5.3)$$

Determina-se dessa forma o valor da resistência equivalente da estrutura com capacitor chaveado.

$$\frac{(V_A - V_B)}{i} = R = \frac{1}{C_s \cdot f_{clk}} \quad (5.4)$$

O valor da resistência equivalente é inversamente proporcional à frequência de chaveamento e à capacitância, o que possibilita aplicações flexíveis em filtros e conversores analógico-digitais. O resistor a capacitor chaveado mostrado na Figura 5.1, por ser muito sensível a capacitâncias parasitas, possui pouco uso em projeto de circuitos integrados. Outra estrutura a capacitor chaveado é mostrada na Figura 5.2. Esse arranjo é um dos mais adotados como solução para simulação de resistores, pois apresenta menor sensibilidade a capacitâncias parasitas que a estrutura da Figura 5.1.

Outra vantagem da configuração mostrada na Figura 5.2 é que esta é útil quando se precisa inverter a tensão de entrada ( $V_A$ ), que depende da operação das chaves. O módulo da resistência equivalente desta estrutura é dado pela Equação 5.4. Para inverter a tensão de entrada, uma carga de  $V_A$  é inicialmente acumulada no capacitor

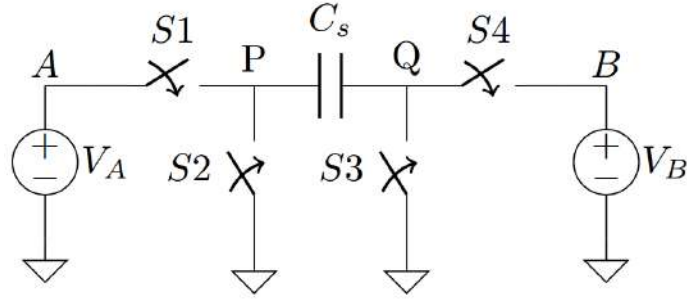


Figura 5.2: Resistor simulado com a técnica de capacitores chaveados.

$C_s$ , operação realizada quando as chaves S1 e S3 são ativadas pela fase de relógio  $\phi_1$ . Em um segundo momento, as chaves S2 e S4 são ativadas por  $\phi_2$ , e uma tensão com polaridade invertida é injetada na saída do circuito. Esse processo pode ser observado na Figura 5.3.

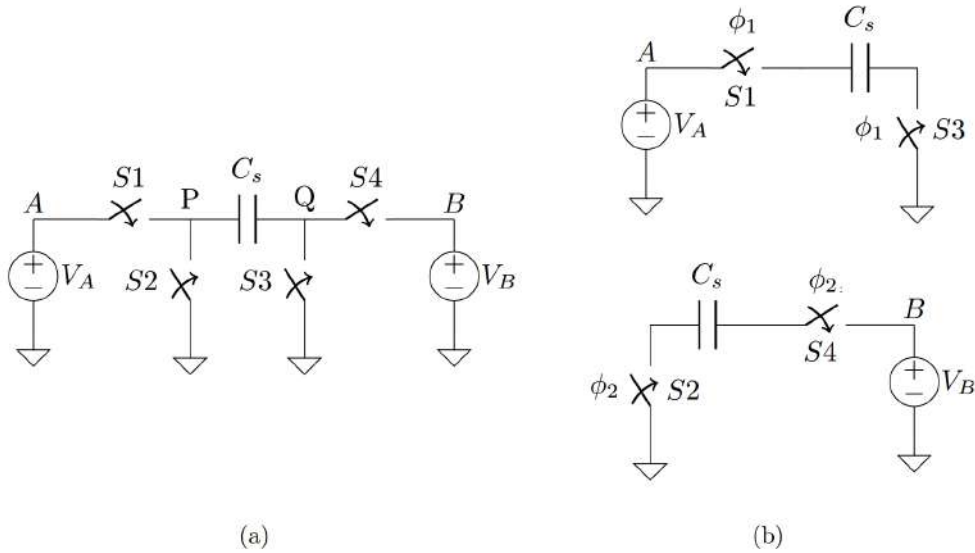


Figura 5.3: (a) Resistor simulado (b) com inversão do sinal.

Para simular uma tensão sem inversão de fase, a carga de  $V_A$  é inicialmente acumulada no capacitor  $C_s$ , e transmitida à saída do circuito, quando as chaves 1 e 4 estão ativadas pela fase de relógio  $\phi_1$ . Em um segundo momento, as chaves 2 e 3 são ativadas por  $\phi_2$ , para que o capacitor  $C_s$  seja descarregado. Esse processo pode ser observado na Figura 5.4.

Como as razões de capacitores podem ser implementadas em tecnologia CMOS com precisão de 0,1%, e a frequência de amostragem pode ser precisamente controlada pela frequência do relógio, as constantes de tempo no circuito a capacitores chaveados são muito mais precisas do que aquelas do circuito original RC-ativo.

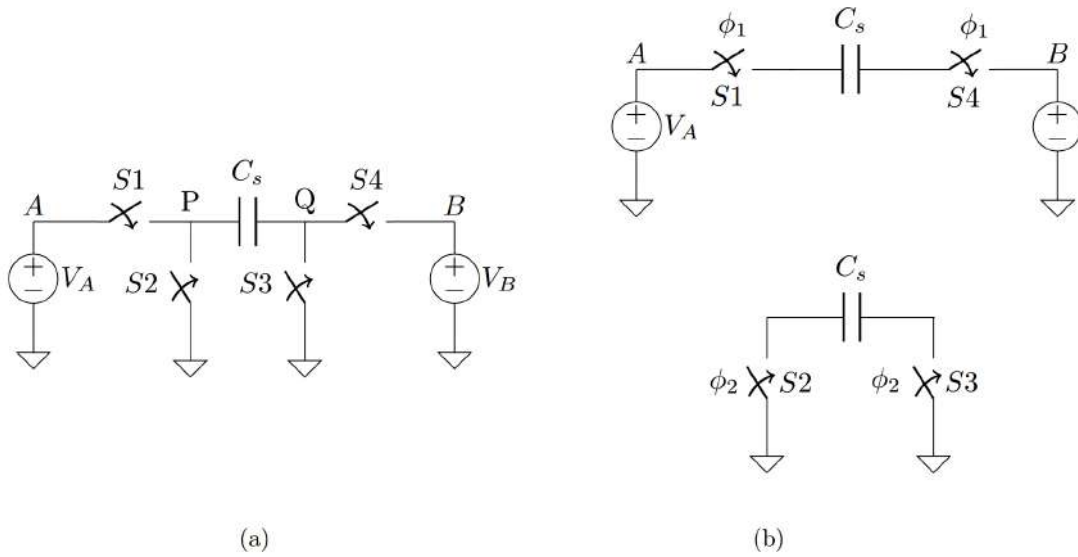


Figura 5.4: (a) Resistor simulado (b) sem inversor do sinal.

Além da precisão, outra vantagem apresentada pelos circuitos a capacitores chaveados é a grande redução da área necessária para simular um resistor em comparação com a fabricação direta de R. Por exemplo, simulando um resistor de  $10\text{ M}\Omega$ , usando frequência de amostragem de  $100\text{ kHz}$ , a área utilizada no circuito integrado seria cerca de 400 vezes menor [30].

## 5.2 Projeto em Nível de Transistores

A arquitetura do PSDM proposto foi implementada em nível de blocos digitais e analógicos transistorizados que possuem características próximas às reais. Para se avaliar o funcionamento do modulador, simulações foram realizadas utilizando o pacote de desenvolvimento da *Cadence Design Systems* com o *design kit* da tecnologia AMS  $0,18\text{ }\mu\text{m}$ . O modulador proposto, mostrado nos modelos das Figuras 4.3 e 4.6, foi projetado seguindo as especificações apresentadas nas Tabelas 4.2 e 4.3, sendo cada componente descrito nas subseções seguintes. O modulador é constituído por inversores, portas NOR, gerador de fases de relógio, chaves analógicas, amplificador, quantizador, capacitores chaveados e matrizes de capacitores.

### 5.2.1 Circuitos Digitais

Para o desenvolvimento de alguns dos blocos utilizados no projeto do modulador, foram projetados circuitos digitais básicos com o intuito de facilitar a sua reusabilidade em outros componentes. Os circuitos digitais projetados foram: inversor e

porta NOR. Na Tabela 5.1 são exibidos os valores dos transistores usados nesses circuitos.

Tabela 5.1: Dimensionamento dos transistores utilizados nos circuitos digitais.

	W [ $\mu\text{m}$ ]	L [ $\mu\text{m}$ ]	M
PMOS	2,0	0,180	1
NMOS	0,5	0,180	1

Como pode ser observado a partir da Tabela 5.1, o valor da largura dos transistores PMOS é quatro vezes maior que o dos NMOS. Os circuitos digitais foram projetados dessa maneira para que os seus tempos de subida e descida sejam semelhantes, pois os transistores NMOS têm a característica de serem quatro vezes mais rápidos que os do tipo PMOS para essa tecnologia.

Na Figura 5.5 é mostrado o circuito projetado para o inversor.

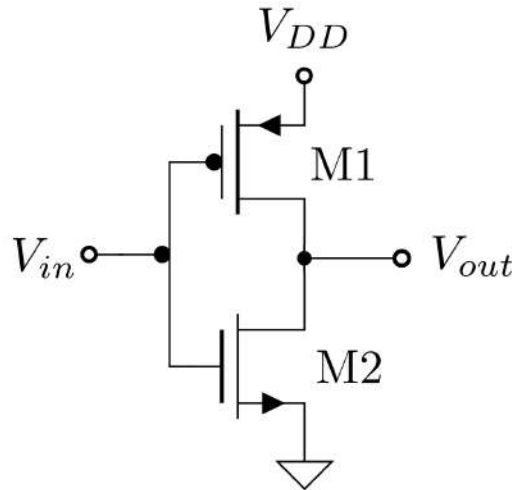


Figura 5.5: Inversor em nível de transistores.

Na Figura 5.6 é mostrado o circuito projetado para a porta lógica NOR.

Esses circuitos são utilizados como base para o projeto do gerador de sinais.

### 5.2.2 Gerador de Fases do Relógio

O gerador de fases do relógio, mostrado na Figura 5.7, é um bloco usado para gerar as fases para o modulador, a partir de um sinal de entrada  $f_{CLK}$ . São geradas duas fases de relógio opostas e não-sobrepostas (os dois sinais nunca estarão em nível alto ao mesmo tempo),  $\phi_1$  e  $\phi_2$ , que são usadas para operar a abertura e o fechamento das chaves nos capacitores chaveados. O tempo entre  $\phi_1$  e  $\phi_2$  é a soma de  $t_{d1}$  e  $t_{d2}$ .

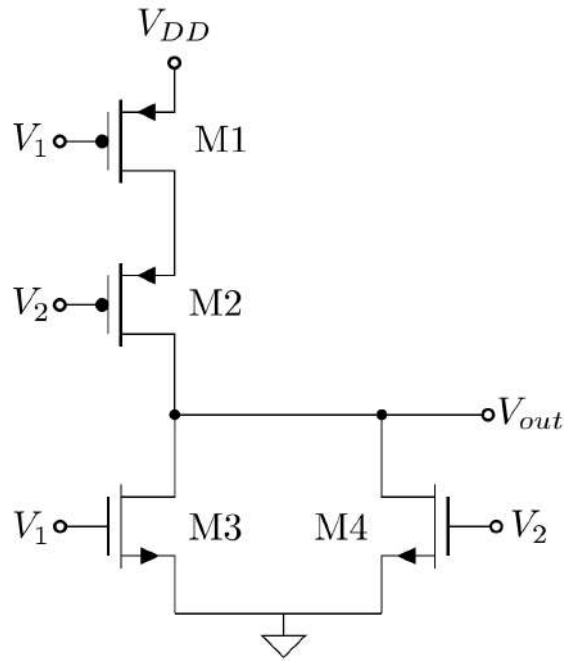


Figura 5.6: Porta lógica NOR em nível de transistores.

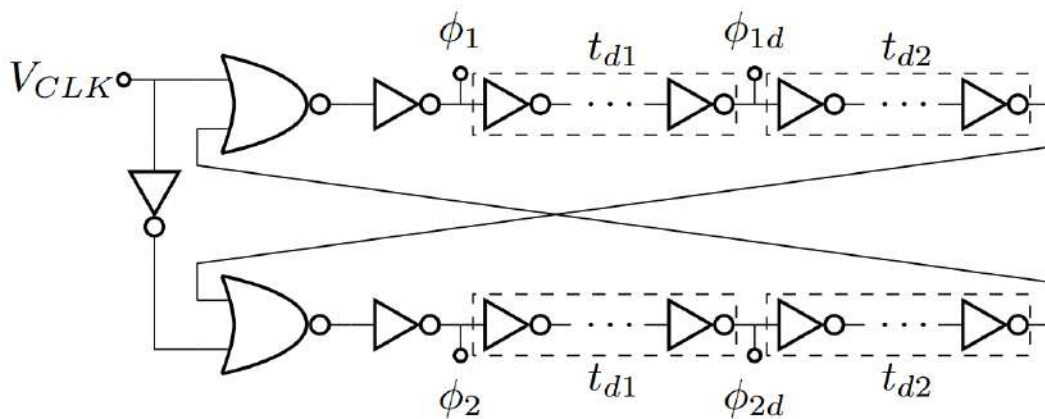


Figura 5.7: Gerador de fases do relógio.

Como são utilizadas chaves complementares, cada fase necessita de um sinal complementar para o bom funcionamento. Assim, o circuito mostrado na Figura 5.8 foi colocado em cada fase do relógio não-sobreposto ( $\phi_1$ ,  $\phi_2$ ,  $\phi_{1d}$  e  $\phi_{2d}$ ) para gerar seu sinal complementar ( $\overline{\phi_1}$ ,  $\overline{\phi_2}$ ,  $\overline{\phi_{1d}}$  e  $\overline{\phi_{2d}}$ ).

### 5.2.3 Chave CMOS

As chaves analógicas estão entre os dispositivos integrados mais simples que existem. A grande aplicação das chaves analógicas encontra-se nos circuitos a capacitores chaveados. Seu papel nesse tipo de aplicação é de fundamental importância, pois

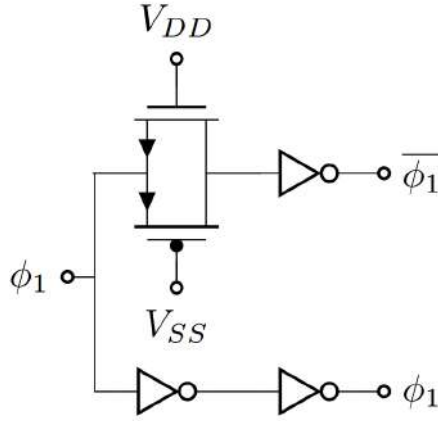


Figura 5.8: Geração dos sinais complementares para as chaves.

são elas que permitem a dinâmica do sinal.

A implementação de chaves analógicas usando transistores complementares ajuda a minimizar o efeito da injeção de cargas. Tem como objetivo melhorar a resistência da chave, para permitir a operação “rail-to-rail”. Dependendo da tensão de entrada, as chaves conduzem exclusivamente ou simultaneamente. A Figura 5.9 mostra a chave CMOS complementar utilizada nesse trabalho, também conhecida por chave de transmissão.

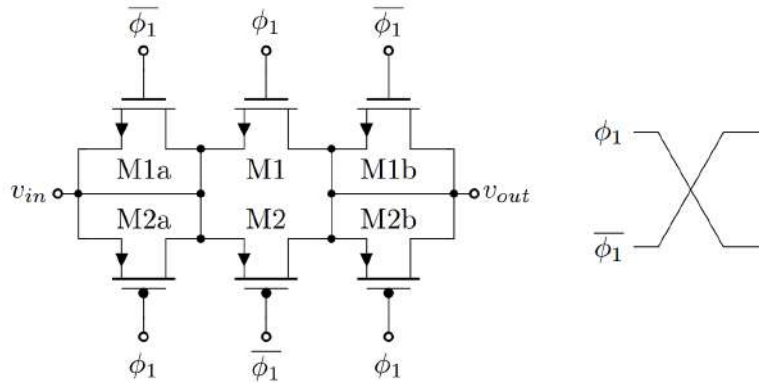


Figura 5.9: Chave de transmissão CMOS.

As dimensões dos transistores para as chaves CMOS no modulador são exibidas na Tabela 5.2.

De modo a reduzir a injeção de carga, os transistores M1 e M2 devem ter dimensões mínimas. Além disso, a largura de M2 deve ser maior que a de M1, obedecendo a relação entre a mobilidade NMOS e PMOS. Os dispositivos M1a, M1b, M2a e M2b são transistores cuja função é reduzir a injeção de carga e o ruído causado pelo chaveamento. Tipicamente, as suas larguras são metade daquelas de M1 e M2.

Tabela 5.2: Dimensão dos transistores da chave CMOS.

	W [ $\mu\text{m}$ ]	L [ $\mu\text{m}$ ]
M1	1,0	0,18
M1a	0,5	0,18
M1b	0,5	0,18
M2	4,0	0,18
M2a	2,0	0,18
M2b	2,0	0,18

É importante notar que ambos os transistores devem ser desligados simultaneamente para evitar qualquer distorção no valor amostrado [31].

#### 5.2.4 Amplificador Operacional de Transcondutância

Os amplificadores operacionais são fundamentais para os circuitos a capacitores chaveados, pois realizam buffers, somadores e integradores. Os opamps trabalham, em geral, com realimentação negativa, e em muitos casos unitárias.

Nos circuitos a capacitores chaveados são utilizados amplificadores operacionais de transcondutância (OTA). O OTA é basicamente uma fonte de corrente controlada por tensão em paralelo com uma resistência elevada [32].

O OTA é o bloco principal do modulador e suas especificações definem o desempenho de todo o sistema. Este circuito não requer um grande ganho de tensão, pois o modulador não é sensível a pequenas variações dos coeficientes e um ganho de tensão maior que 60 dB é suficiente para produzir um bom desempenho [33]. No entanto, para o projeto do PSDM o consumo de energia é crítico, pois a velocidade e imunidade ao ruído são proporcionais a quantidade de corrente consumida pelo amplificador.

Os OTAs de um estágio mais comuns são as topologias de cascode dobrado, pois são apropriadas para aplicações que requerem um ganho de tensão baixo e operam com baixa tensão de alimentação. Tipicamente, o ganho de tensão é de cerca de 50 dB, o que não é desejado para moduladores de tempo discreto. Assim, algumas técnicas são usadas para melhorar o desempenho do amplificador [34].

A topologia de cascode dobrado que pode ser observada na Figura 5.10 tem muitas vantagens, como o primeiro pólo ser definido pelo capacitor de saída, alta resistência de saída e ganho de tensão elevado.

Sua principal desvantagem é que a taxa de variação da tensão de saída (SR) depende diretamente da corrente de M9-M10. Por exemplo, para SR de 10 MV/s e uma capacitância de carga de 2 pF, a corrente de M9 e M10 é definida pela Equação 5.5.





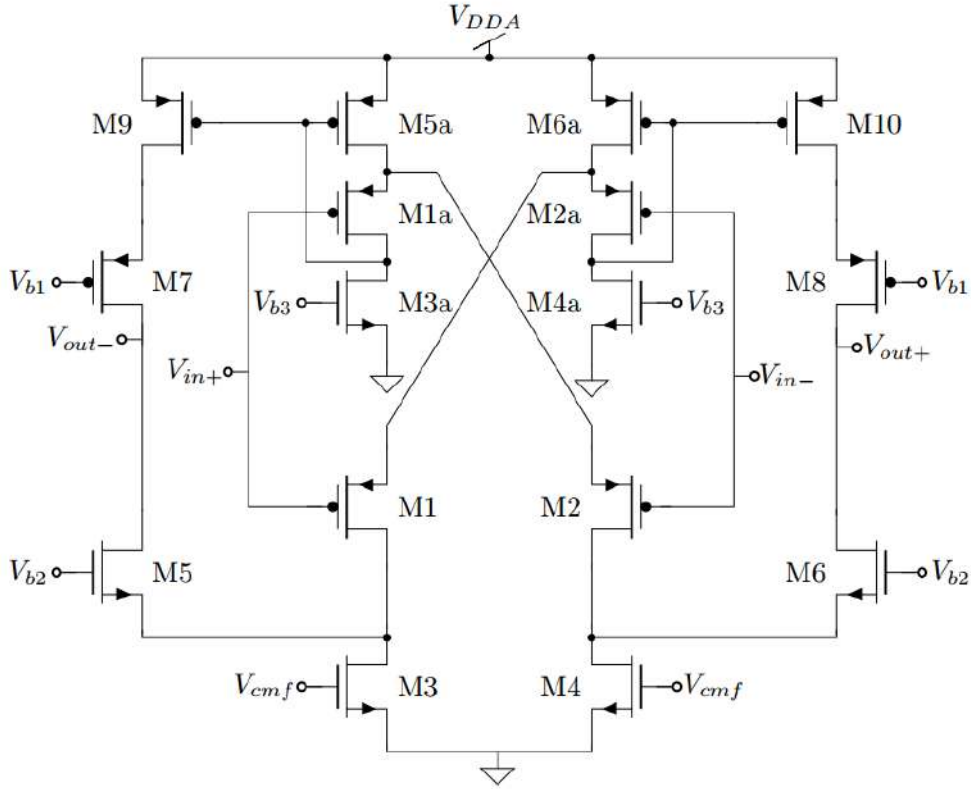


Figura 5.11: OTA cascode dobrado com polarização adaptativa [28].

por simulações e estão listadas na Tabela 5.3.

O consumo de energia e a potência de ruído foram as principais preocupações do projeto. Para assegurar a estabilidade do OTA, a capacitância de carga OTA mínima deve ser de 2 pF.

### Circuito de Polarização

O baixo consumo de energia foi a principal meta no projeto deste circuito. A corrente de referência tem um valor de  $I_{REF}=80\text{ nA}$ , e foi copiada para estabelecer as tensões de polarização  $V_{b1}$ ,  $V_{b2}$ ,  $V_{b3}$  e  $V_{cmf}$ .

O circuito de polarização do OTA é mostrado na Figura 5.12 e as dimensões dos transistores definidas em [28] estão listadas na Tabela 5.4.

O parâmetro M, visto na Tabela 5.4 para o transistor M5, representa uma conexão em série como é possível observar na Figura 5.12. Para todos os outros transistores da tabela, esse parâmetro representa conexões em paralelo.

### Circuito de Controle da Tensão de Modo Comum

O circuito de controle da tensão de modo comum se faz necessário ao projetar um OTA diferencial completo como o utilizado neste trabalho e deve ser projetado em

Tabela 5.3: Dimensionamento dos transistores do OTA cascode dobrado com polarização adaptativa [28].

	W [ $\mu\text{m}$ ]	L [ $\mu\text{m}$ ]	M
M1	10,0	1,0	10
M2	10,0	1,0	10
M3	23,0	1,5	15
M4	23,0	1,5	15
M5	10,0	1,0	20
M6	10,0	1,0	20
M7	10,0	1,0	20
M8	10,0	1,0	20
M9	4,5	1,5	5
M10	4,5	1,5	5
M1a	10,0	1,0	10
M2a	10,0	1,0	10
M3a	15,0	2,5	3
M4a	15,0	2,5	3
M5a	4,5	1,5	5
M6a	4,5	1,5	5

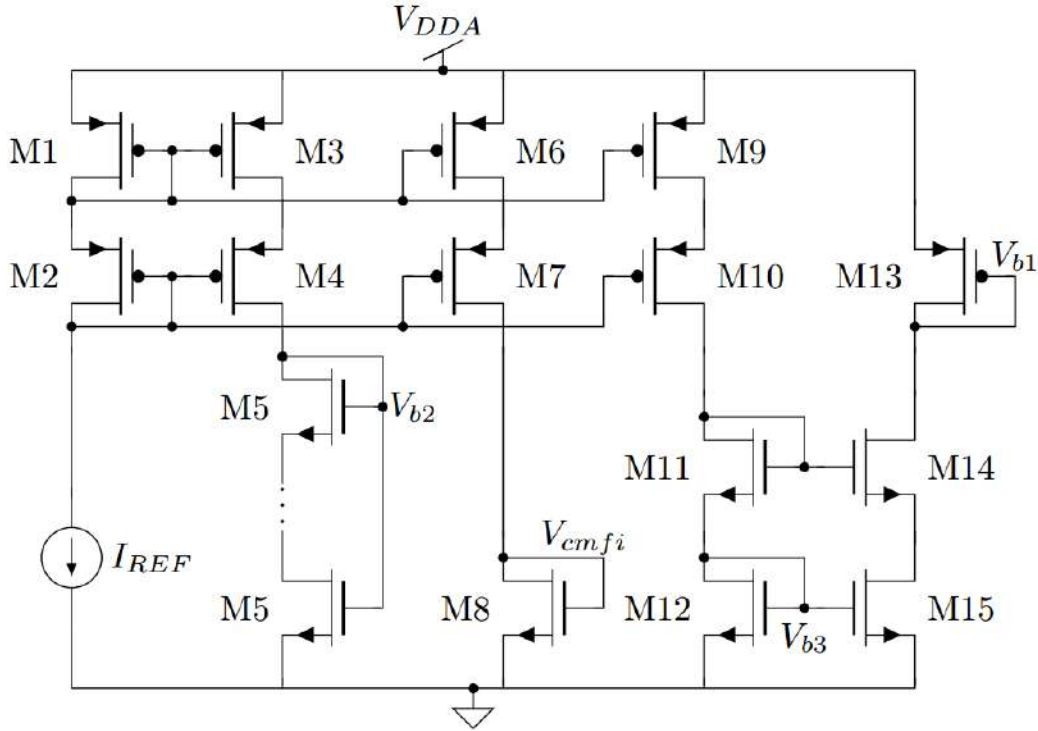


Figura 5.12: Circuito de polarização do OTA [28].

paralelo com o circuito do amplificador. Esse circuito é adotado para estabilizar o nível de modo comum nas saídas do amplificador.

Tabela 5.4: Dimensionamento dos transistores do circuito de polarização do amplificador operacional [28].

	W [ $\mu\text{m}$ ]	L [ $\mu\text{m}$ ]	M
M1	10	1,0	10
M2	10	1,0	10
M3	10	1,0	10
M4	10	1,0	10
M5	1	10,0	5
M6	10	1,0	5
M7	10	1,0	5
M8	23	1,5	1
M9	10	1,0	5
M10	10	1,0	5
M11	10	1,0	1
M12	15	2,5	1
M13	1	4,0	1
M14	10	1,0	3
M15	15	2,5	1

Na Figura 5.13 é mostrado o circuito de controle da tensão de modo comum e os valores das capacitâncias para o integrador estão listados na Tabela 5.5. As dimensões do capacitor unitário ( $C_u$ ) são  $W=10\ \mu\text{m}$  e  $L=11\ \mu\text{m}$ , e sua capacitância é  $C_u=0,22\ \text{pF}$ .

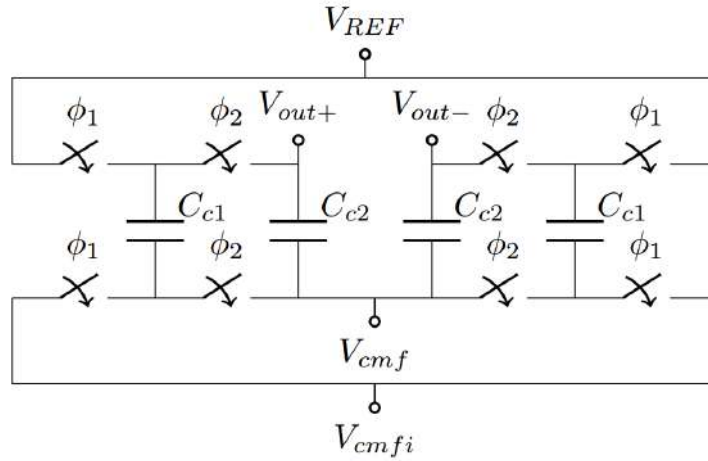


Figura 5.13: Circuito de controle da tensão de modo comum do amplificador operacional.

Estes valores foram determinados em [28] por simulação para assegurar a estabilidade do modo comum. Observou-se uma correlação entre o capacitor  $C_{c2}$  e a potência de ruído de entrada. Quanto maior esta capacitância, menor a potência de

Tabela 5.5: Valores dos capacitores do circuito de controle da tensão de modo comum do amplificador operacional [28].

Capacitor	Valor	Valor [pF]
$C_{c1}$	$3C_u$	0,66
$C_{c2}$	$10C_u$	2,20

ruído de entrada.

## 5.2.5 Quantizador

Como uma das principais características de moduladores  $\Sigma\Delta$  é suprimir não idealidades tais como os erros de *offset* do quantizador de 1 bit, os requisitos deste circuito são diminuídos e o consumo de energia pode ser otimizado.

Uma topologia que visa a diminuição do consumo de energia é mostrada na Figura 5.14. Esse quantizador é composto por um comparador dinâmico e um *latch* SR [37]. Este circuito é puramente dinâmico e consome energia apenas na borda de subida do relógio ( $Clk$ ).

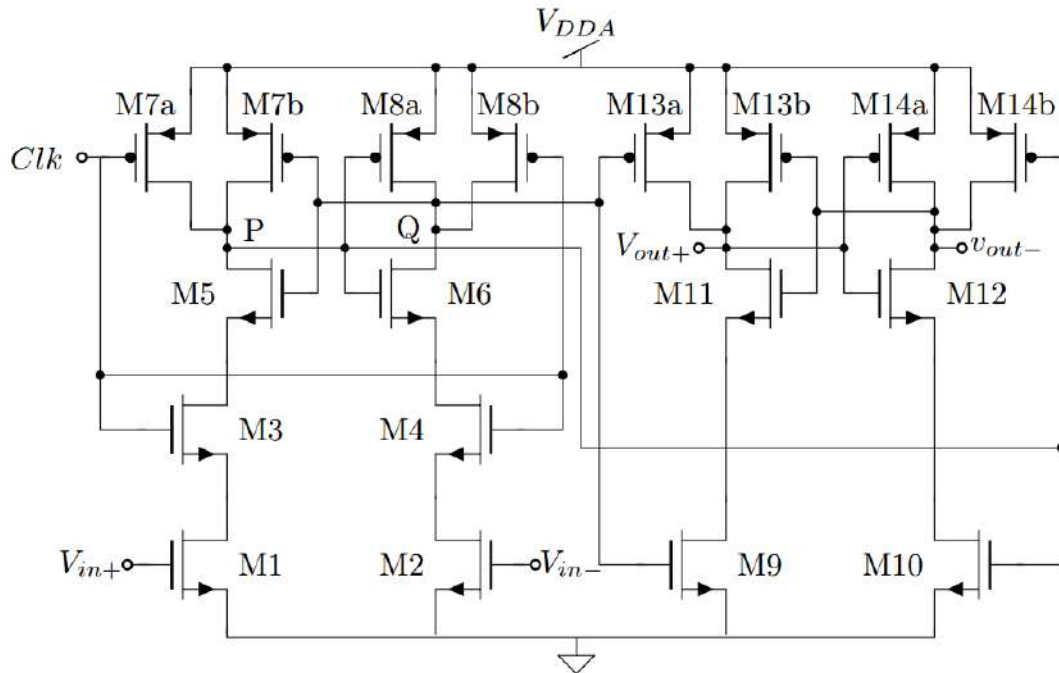


Figura 5.14: Circuito quantizador.

O comparador dinâmico consiste em transistores M1, M2, M3, M4, M5, M6, M7a, M7b, M8a e M8b. Quando o sinal  $Clk$  está em nível baixo, os transistores M3 e M4 estão desligados e os nós P e Q são fixados a  $V_{DD}$ . Na borda de subida

do sinal  $Clk$ , as capacitâncias parasitas dos nós P ( $C_p$ ) e Q ( $C_q$ ) são descarregadas através dos transistores M1 e M2. Se  $V_{in+}$  é maior que  $V_{in-}$ , a capacitância parasita  $C_p$  descarrega mais rápido que  $C_q$ . Então os inversores formados por M5, M7b, M8a e M6 regeneram o sinal e os valores nos nós P e Q são ajustados para terra e  $V_{DD}$ , respectivamente. Estes valores são armazenados na *latch* formado M9, M10, M11, M12, M13a, M13b, M14a, M14b até a próxima borda de subida do sinal  $Clk$ .

Os transistores M1 e M2 têm um comprimento maior ( $L=1 \mu m$ ) para minimizar efeitos de descasamento, de modo a não afetar a operação de comparação. Com exceção dos transistores M1 e M2 que amplificam o sinal de entrada, o circuito tem um comportamento puramente digital. Por isso, todos os outros transistores têm dimensões mínimas. As dimensões dos transistores estão listadas na Tabela 5.6.

Tabela 5.6: Dimensionamento dos transistores do quantizador.

	W [ $\mu m$ ]	L [ $\mu m$ ]	M
M1	1,0	1,00	1
M2	1,0	1,00	1
M3	0,5	0,18	1
M4	0,5	0,18	1
M5	0,5	0,18	1
M6	0,5	0,18	1
M7a	0,5	0,18	2
M7b	0,5	0,18	2
M8a	0,5	0,18	2
M8b	0,5	0,18	2
M9	0,5	0,18	1
M10	0,5	0,18	1
M11	0,5	0,18	1
M12	0,5	0,18	1
M13a	0,5	0,18	2
M13b	0,5	0,18	2
M14a	0,5	0,18	2
M14b	0,5	0,18	2

### 5.2.6 Conversor Digital para Analógico

O conversor digital para analógico (DAC) de 1 bit é um circuito simples que consiste em duas chaves CMOS controladas por um sinal digital, nesse caso, a saída do quantizador. Na Figura 5.15 é demonstrado esse circuito.

Quando a entrada assume o valor lógico ‘1’, a saída é conectada à tensão de referência, caso contrário, a saída é conectada à terra. Em um projeto diferencial, as tensões de referência devem ser centralizadas em torno da tensão de modo comum

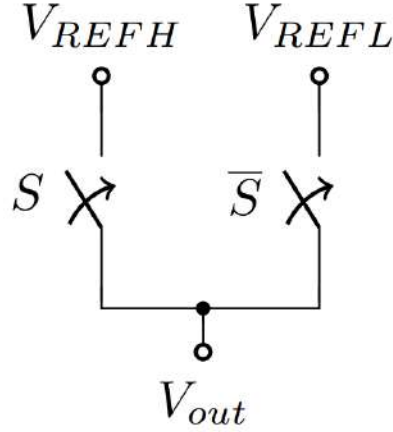


Figura 5.15: Circuito conversor digital para analógico de 1 bit.

( $V_{CM}$ ). Deste modo, as duas tensões de referência que são simétricas em relação a  $V_{CM}$  devem ser calculadas para que a diferença entre as elas seja  $V_{REF}$ . Os valores para as tensões de referência utilizadas pelo DAC se encontram na Tabela 5.7.

Tabela 5.7: Valores das tensões de referência do DAC.

Tensão de Referência	Valor [V]
$V_{REFH}$	1,4
$V_{REFL}$	0,4

### 5.2.7 Coeficientes da Saída

No estágio final do PSDM, existem dois somadores que são responsáveis por gerar as saídas  $V_{out}$  e  $V_{out1}$ . Essas saídas são calculadas de acordo com a expressão abaixo.

$$V_{out} = \frac{\sum_{j=0}^n V_{Ij} C_{fj}}{\sum_{j=0}^n C_{fj}} \quad (5.8)$$

Na Equação 5.9 a capacitância  $C_{fj}$  é referente ao j-ésimo elemento a ser somado para gerar a saída. A saída também pode ser expressa em termos de capacitâncias unitárias  $C_u$  como pode ser observado abaixo.

$$V_{out} = \frac{\sum_{j=0}^n V_{Ij} c_j C_u}{\sum_{j=0}^n c_j C_u} \quad (5.9)$$

Na Figura 5.16 é exibido o circuito a capacitores chaveados que realiza a soma para a saída  $V_{out}$ .

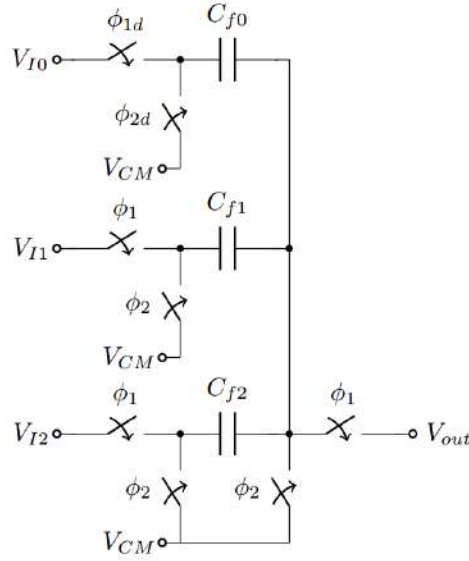


Figura 5.16: Circuito somador para a saída  $V_{out}$ .

A tensão de saída é a soma das entradas ponderadas pelos coeficientes definidos pelos capacitores, mas atenuada por um valor constante que é igual à soma de todos os coeficientes.

Para a saída  $V_{out1}$ , podemos ver o seu circuito na Figura 5.17.

Como o modulador é uma arquitetura de bit único, a única informação relevante está no sinal e, portanto, a atenuação não afeta a operação do modulador. A lista dos valores das capacitâncias pode ser observada na Tabela 5.8.

Tabela 5.8: Valores dos capacitores dos circuitos somadores de saída.

Capacitor	Valor	Valor [fF]
$C_{f0}$	$2C_u$	440
$C_{f1}$	$2C_u$	440
$C_{f2}$	$2C_u$	440

### 5.2.8 Modulador Completo

O projeto do PSDM proposto foi desenvolvido utilizando a técnica de circuitos a capacitores chaveados e pode ser observado na Figura 5.18. Para aplicações de alta resolução, a técnica de capacitores chaveados é adotada por sua alta precisão. A implementação totalmente diferencial também é utilizada com o objetivo de aumentar

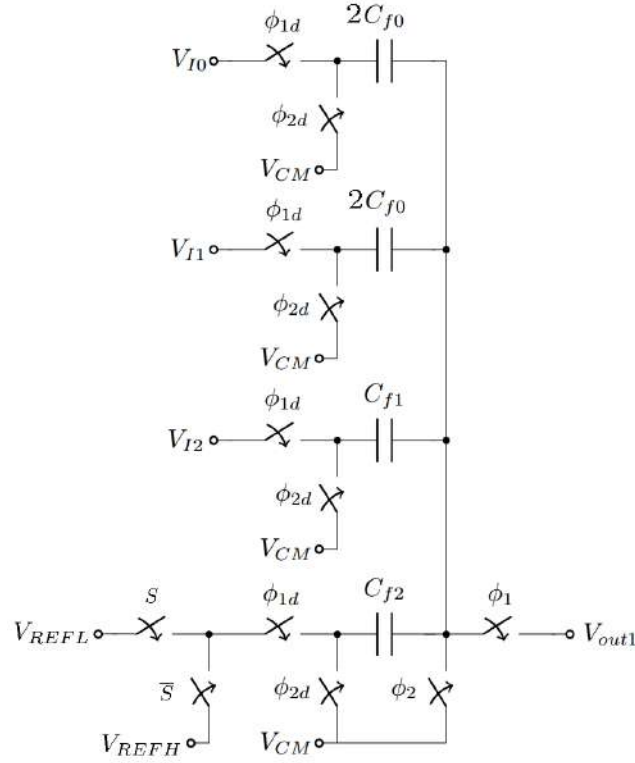


Figura 5.17: Circuito somador para a saída  $V_{out1}$ .

a amplitude do sinal. O objetivo deste projeto é reduzir o consumo de energia, sendo a principal preocupação o consumo no primeiro integrador. No desenvolvimento de moduladores sigma-delta, o primeiro integrador determina o desempenho geral do modulador e a maior parte da energia é consumida por ele.

Em um projeto de baixo consumo de energia, deve-se levar em consideração o esquema de realimentação do integrador. No PSDM foram utilizados dois tipos de realimentação diferentes, levando-se em conta o consumo de energia e a área ocupada. O esquema utilizado no primeiro amplificador conecta diretamente o sinal de realimentação a um terminal do capacitor de amostragem durante a fase  $\phi_2$ , isto é, a fase de integração do integrador. Já no segundo amplificador são utilizados dois capacitores, um para amostrar o sinal de entrada e outro para o sinal de realimentação, respectivamente, e depois somar estes dois sinais durante a fase  $\phi_2$ . Ambos os esquemas têm a mesma função, enquanto o esquema do segundo amplificador usa mais capacitores e chaves.

No primeiro amplificador, o capacitor de amostragem ( $C_{s1}$ ) é descarregado para  $V_{REFH}$  ou  $V_{REFL}$  durante a fase de integração. Durante a fase de amostragem, o capacitor de amostragem é carregado para a tensão de entrada. Durante o ciclo de carga e descarga, a mudança de tensão no capacitor de amostragem é de  $V_{REFH}$  ou  $V_{REFL}$  para  $V_{in}$ , que é uma grande variação de tensão. Esta grande variação do sinal



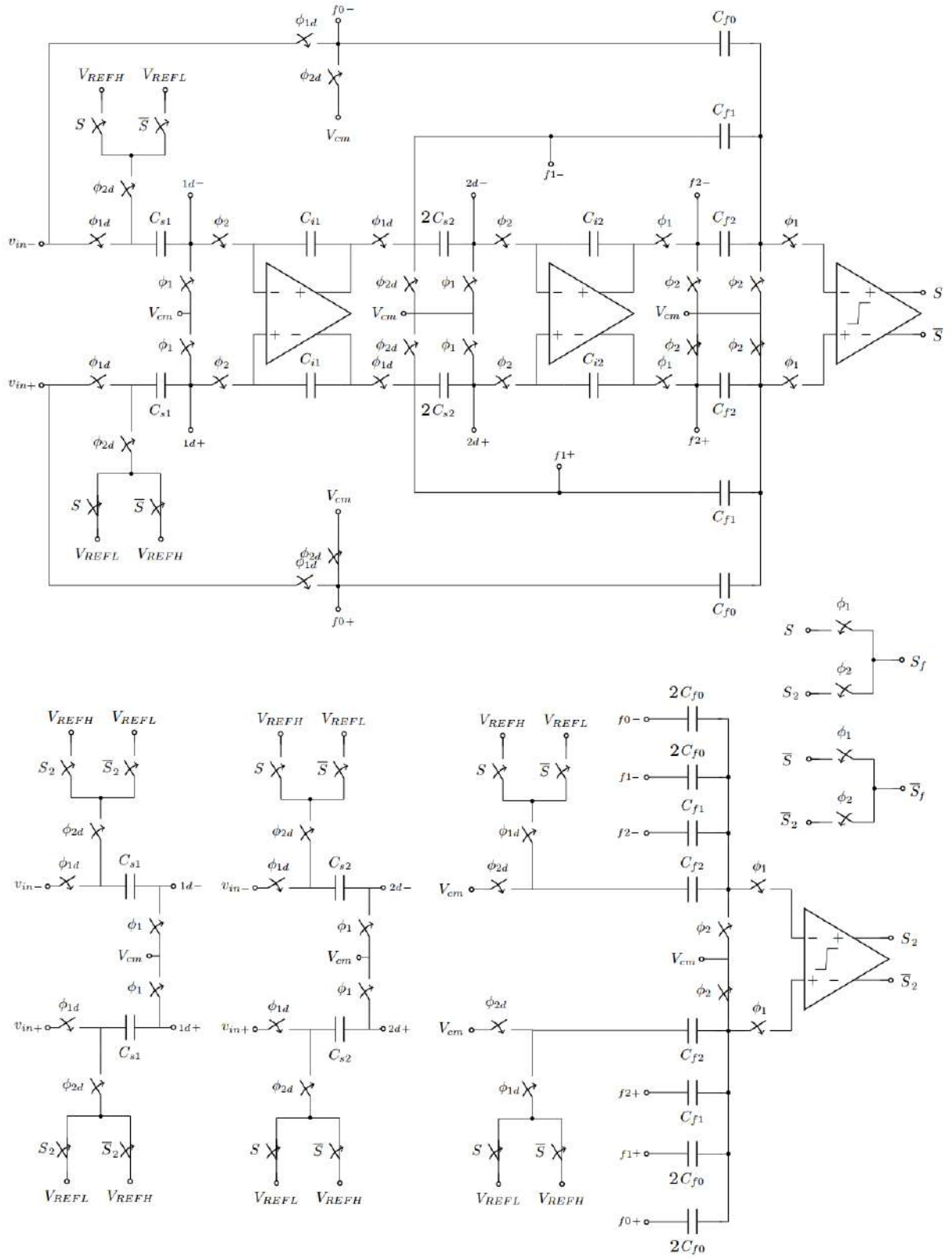


Figura 5.18: Circuito completo do PSDM.

requer um elevado SR do OTA e aumenta o consumo energia. Por isso o segundo amplificador utiliza um esquema diferente do primeiro, carregando o capacitor de amostragem de  $V_{CM}$  para a tensão de entrada, que é uma variação menor. Assim, o circuito relaxa a exigência do OTA anterior e consome menos energia.

Os sinais de *feed-foward* são somados pelos circuitos a capacitores chaveados demonstrados nas Figuras 5.16 e 5.17, e então, servem de entrada para os quantizadores de um bit. A temporização do modulador é realizada de maneira que a fase  $\phi_1$  é a fase de amostragem para os integradores, e também a fase de amostragem para o quantizador. A fase  $\phi_2$  é a fase de integração e a fase de realimentação do integrador. De modo a proporcionar o sinal de realimentação na fase  $\phi_2$ , o quantizador deve tomar uma decisão antes da fase  $\phi_2$ . São necessárias duas versões atrasadas de  $\phi_1$  para os quantizadores. Para o primeiro quantizador do PSDM o sinal de disparo acontece na metade da fase  $\phi_1$ . Já para o segundo quantizador, o sinal de disparo é simplesmente uma inversão de  $\phi_1$ .

Com os valores dos coeficientes  $A_{11}=0,9$ ,  $A_{21}=0,2$ ,  $C_{11}=1$ ,  $C_{12}=1$  e  $C_{13}=1$ , as capacitâncias foram calculadas conforme listado na Tabela 5.9. Essas capacitâncias foram agrupadas em três matrizes de capacitores utilizando a técnica descrita em [38] para reduzir os erros entre os capacitores. A primeira matriz engloba os capacitores utilizados pelo primeiro amplificador, a segunda matriz os capacitores do segundo amplificador e a terceira matriz os capacitores que foram utilizados nos somadores de *feed-foward*.

Tabela 5.9: Valores dos capacitores do PSDM.

Capacitor	Valor	Valor [pF]
$C_{s1}$	$9C_u$	1,98
$C_{i1}$	$10C_u$	2,20
$C_{s2}$	$2C_u$	0,44
$C_{i2}$	$10C_u$	2,20
$C_{f0}$	$2C_u$	0,44
$C_{f1}$	$2C_u$	0,44
$C_{f2}$	$2C_u$	0,44

# Capítulo 6

## Leiaute do PSDM

Neste capítulo são mostrados os leiautes de todos os blocos do modulador proposto neste trabalho e as técnicas utilizadas para a sua realização. Para o projeto descrito, escolheu-se usar um processo de fabricação CMOS AMS de  $0,18\ \mu\text{m}$ , com uma tensão de alimentação de  $1,8\ \text{V}$ , que possui 6 camadas de metal e uma de polisilício.

### 6.1 Leiaute dos Circuitos Digitais Básicos

Os circuitos digitais desse modulador são compostos basicamente por dois tipos de portas lógicas: porta inversora e portas NOR. Iniciou-se o leiaute do modulador pela elaboração dessas portas lógicas. Para o leiaute de circuitos digitais é usada a técnica do caminho de Euler que consiste em procurar por um caminho que passe simultaneamente pelas redes NMOS e PMOS uma única vez por cada transistor com a mesma entrada [39].

O leiaute dos circuitos digitais foi feito de maneira que pudessem ser dispostos lado a lado, desse modo possibilitando uma maior facilidade na hora de interconectá-los. Portanto, todos os leiautes digitais têm a mesma altura, diferindo apenas na largura.

#### 6.1.1 Leiaute da Porta Lógica Inversora

O leiaute da porta inversora pode ser observado na Figura 6.1. Essa porta tem uma entrada e uma saída, e suas dimensões são  $2,87\ \mu\text{m}$  de largura por  $6,05\ \mu\text{m}$  de altura.

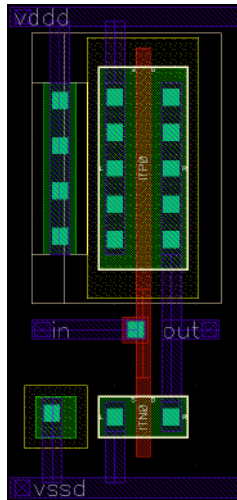


Figura 6.1: Leiaute do circuito inversor.

### 6.1.2 Leiaute da Porta Lógica NOR

Conforme pode ser visto na Figura 6.2, temos o leiaute da porta lógica NOR. Este por sua vez tem dimensões de  $3,54 \mu\text{m}$  de largura e  $6,05 \mu\text{m}$  de altura.

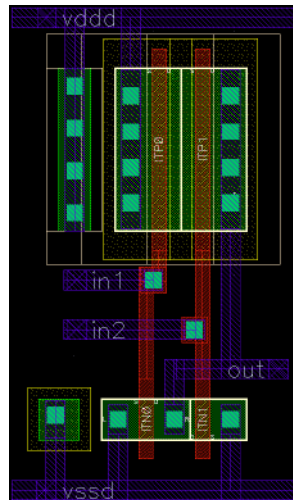


Figura 6.2: Leiaute do circuito NOR.

### 6.1.3 Leiaute do Gerador de Fases do Relógio

Com os circuitos digitais básicos prontos, pôde-se dar início ao leiaute de circuitos mais complexos. Alinhando-se as portas lógicas básicas e as interligando segundo o diagrama esquemático da Figura 5.7, tem-se o leiaute resultante da Figura 6.3. Suas dimensões são  $48,39 \mu\text{m}$  de largura por  $36,78 \mu\text{m}$  de altura.

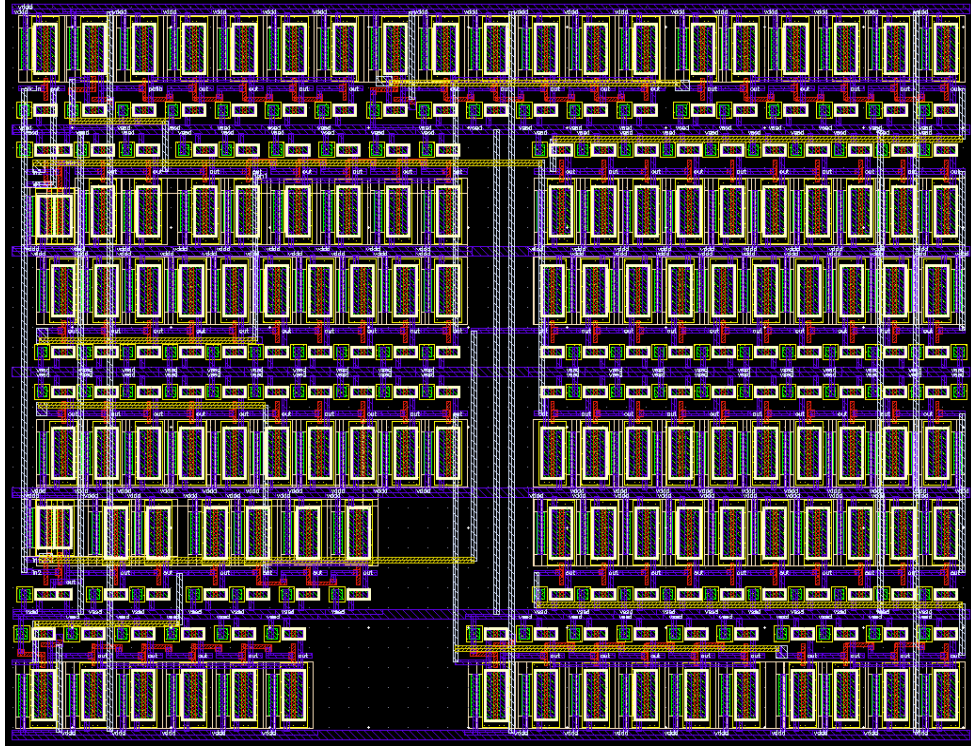


Figura 6.3: Leiaute do circuito gerador de fases do relógio.

#### 6.1.4 Leiaute da Chave CMOS

O leiaute da chave CMOS pode ser observado na Figura 6.4. A partir do diagrama esquemático desse circuito foram gerados os transistores para o leiaute, e suas dimensões são  $9,35 \mu\text{m}$  de largura por  $6,05 \mu\text{m}$  de altura.

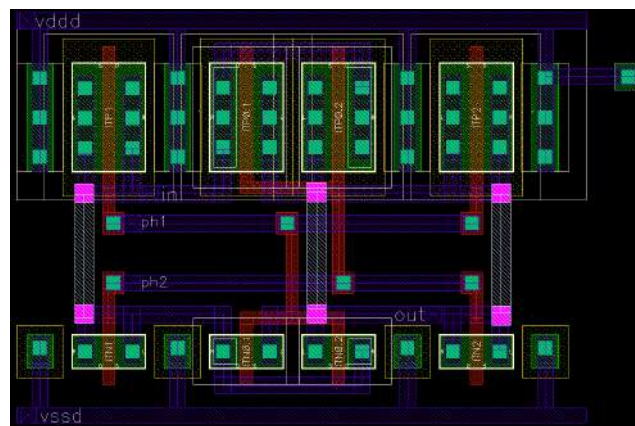


Figura 6.4: Leiaute da chave CMOS.

### 6.1.5 Leiaute do MUX 2x1

A partir do diagrama esquemático do circuito do MUX 2x1, foram gerados os transistores para o leiaute. Esse circuito tem  $9,35 \mu\text{m}$  de largura por  $12,10 \mu\text{m}$  de altura, e seu leiaute pode ser observado na Figura 6.5.

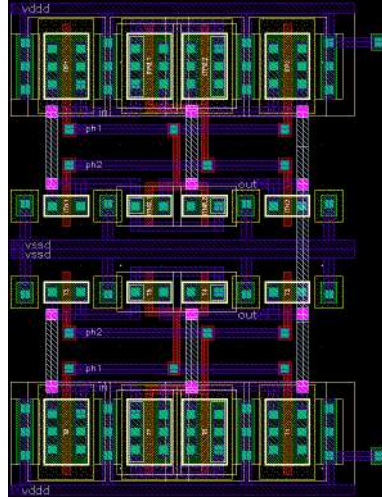


Figura 6.5: Leiaute do MUX 2x1.

## 6.2 Leiaute dos Capacitores

Para que um elevado grau de precisão seja alcançado na realização dos circuitos a capacitores chaveados, deve-se tomar um cuidado especial no leiaute dos capacitores, a fim de que os efeitos dos erros relativos ao processo e implementação sejam minimizados.

Devido à corrosão do óxido na fabricação, a área efetiva do capacitor pode ser menor que a área da máscara. Tal efeito pode ser minimizado fazendo com que cada capacitância seja realizada por um número de capacitores unitários conectados em paralelo, de modo que a soma de todas as capacitâncias unitárias é igual ao valor da capacitância requerida. Desta forma, o problema é determinar o número de capacitores unitários que realizam estas razões e o valor da capacitância do capacitor unitário. Além disso, é necessário realizar os coeficientes do modulador através de razões de capacitâncias, pois o importante é o valor final da razão, em vez do valor absoluto da capacitância.

Os problemas de variação de parâmetros devidos ao processo de fabricação podem ser minimizados arranjando os capacitores de acordo com a técnica desenvolvida por [38], que consiste na distribuição dos capacitores unitários em uma matriz em geometria com centroide comum.

Capacitâncias parasitas devem ser evitadas devido ao seu efeito prejudicial na resposta em frequência, gerando erros inaceitáveis nas razões de capacitâncias. Uma forma de reduzir as capacitâncias parasitas é evitar o cruzamento entre linhas de metal e considerar cuidadosamente seu afastamento e posicionamento. Em casos inevitáveis, deve-se tirar proveito da simetria do leiaute diferencial para minimizar tal efeito.

Na tecnologia CMOS AMS 180 nm, o capacitor unitário é constituído por um capacitor de placas paralelas de metal com óxido fino como dielétrico. Este tipo de capacitor é muito utilizado por proporcionar bom casamento e boa densidade de capacitância por área. Para o capacitor unitário foi usado um capacitor de 220 fF, para implementar razões com suficiente precisão e com um valor da injeção de carga que possa ser desprezível. Primeiro foi feito o leiaute do capacitor unitário como pode ser visualizado na Figura 6.6. Esse capacitor tem largura de 10  $\mu\text{m}$  e 11  $\mu\text{m}$  de altura.

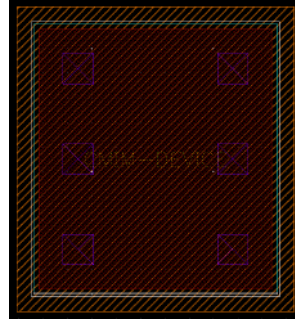


Figura 6.6: Leiaute do capacitor unitário de 220 fF.

O leiaute dos bancos de capacitores foi feito cuidadosamente, de forma a não introduzir erros maiores que 1% nas razões de capacitâncias devido a parasitas, a fim de que fossem obtidos resultados de acordo com as simulações dos circuitos em nível de esquemático.

### 6.2.1 Leiaute da Matriz do Circuito de Controle da Tensão de Modo Comum

A organização dos capacitores da matriz do CMFB em centróide comum, é mostrado na Figura 6.7. A soma de todas as capacitâncias tem como resultado 5280 fF e utilizando como padrão a capacitância unitária tem-se 24 capacitores. Com uma matriz de 5 linhas e 5 colunas teríamos espaço para 25 capacitores e só precisamos de 24, esse que sobra é o capacitor *dumie* que é representado pelo número 0.



4	4	4	4	3
3	1	2	3	3
3	2	0	1	3
4	3	1	2	4
3	4	3	4	4

Figura 6.7: Arranjo da matriz em centróide comum.

O leiaute dessa matriz pode ser observado na Figura 6.8. A partir do diagrama esquemático desse circuito foram gerados os capacitores para o leiaute, e suas dimensões são  $102,76 \mu\text{m}$  de largura por  $109,06 \mu\text{m}$  de altura.

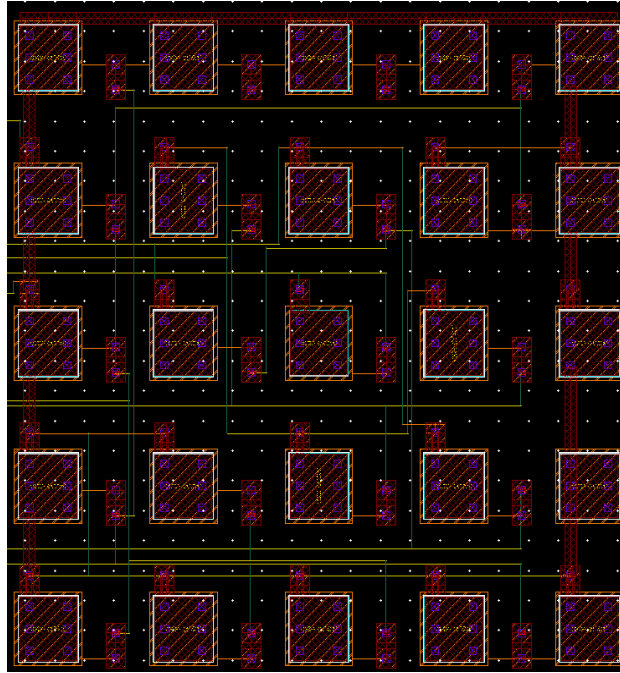


Figura 6.8: Leiaute da matriz de capacitores do circuito de controle da tensão modo comum.

### 6.2.2 Leiaute da Matriz do Primeiro Integrador

Para se projetar o leiaute dessa matriz levou-se em consideração o coeficiente definido na Seção 4.3 para o primeiro integrador que é  $A_{11}=0,9$ . O valor final na saída do primeiro integrador é definido pela Equação 4.4, e os capacitores utilizados nessa matriz têm as razões definidas pelo coeficiente  $A_{11}$ . Assim, tem-se os valores de capacitâncias mostrados na Tabela 6.3.



Tabela 6.1: Valores dos capacitores utilizados no primeiro integrador.

	Capacitor	Valor	Valor [pF]
1	$C_{s11}$	$9C_u$	1,98
2	$C_{s12}$	$9C_u$	1,98
3	$C_{s13}$	$9C_u$	1,98
4	$C_{s14}$	$9C_u$	1,98
5	$C_{i11}$	$10C_u$	2,20
6	$C_{i12}$	$10C_u$	2,20

A soma de todas as capacitâncias tem como resultado 12320  $fF$  e utilizando como padrão a capacitância unitária tem-se 56 capacitores. Com uma matriz de 6 linhas e 10 colunas teríamos espaço para 60 capacitores e só precisamos de 56, esses que sobram são os capacitores *dummies* que são representados pelo número 0. Iniciou-se o projeto dessa matriz com uma organização em centróide comum. No entanto, devido às capacitâncias parasitas geradas por alguns cruzamentos de trilhas, optou-se pela mudança de alguns capacitores de lugar. Essa nova organização dos capacitores da matriz do primeiro integrador pode ser visualizada na Figura 6.13.

2	5	1	1	2	3	1	6	4	4
5	5	5	2	2	3	1	6	6	6
4	0	5	2	3	3	0	6	3	3
4	4	6	0	4	4	2	5	0	3
6	6	6	1	4	2	2	5	5	5
3	3	6	1	4	2	1	1	5	1

Figura 6.9: Arranjo da matriz do primeiro integrador.

O leiaute dessa matriz pode ser observado na Figura 6.10. A partir do diagrama esquemático desse circuito foram gerados os capacitores para o leiaute, e suas dimensões são 182,64  $\mu m$  de largura por 125,33  $\mu m$  de altura.

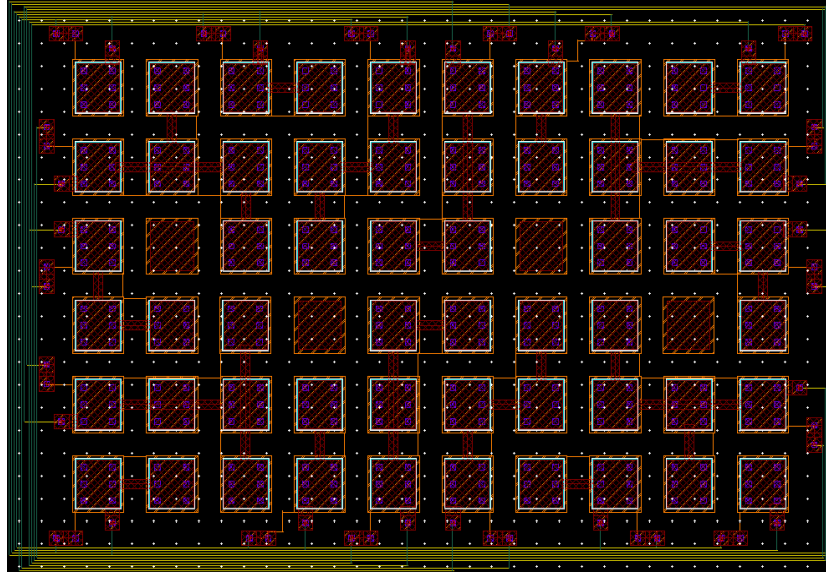


Figura 6.10: Leiaute da matriz de capacitores do primeiro integrador.

### 6.2.3 Leiaute da Matriz do Segundo Integrador

O leiaute da matriz do segundo integrador foi projetado utilizando o coeficiente  $A_{21}=0,2$ , que foi definido na Seção 4.3 para o segundo integrador. A Equação 4.5 define o valor final na saída do segundo integrador, e os capacitores utilizados nessa matriz têm as razões definidas pelo coeficiente  $A_{21}$ . Assim tem-se os valores de capacitâncias mostrados na Tabela 6.2.

Tabela 6.2: Valores dos capacitores utilizados no segundo integrador.

	Capacitor	Valor	Valor [pF]
1	$C_{s21}$	$2C_u$	0,44
2	$C_{s22}$	$2C_u$	0,44
3	$C_{s23}$	$2C_u$	0,44
4	$C_{s24}$	$2C_u$	0,44
5	$C_{s25}$	$4C_u$	0,88
6	$C_{s26}$	$4C_u$	0,88
7	$C_{i21}$	$10C_u$	2,20
8	$C_{i22}$	$10C_u$	2,20

A soma de todas as capacitâncias tem como resultado  $7920 \text{ fF}$  e utilizando como padrão a capacitância unitária tem-se 36 capacitores. Com uma matriz de 6 linhas e 6 colunas aproveitamos o espaço para os 36 capacitores. Iniciou-se o projeto dessa matriz com uma organização em centróide comum, no entanto, devido às capacitâncias parasitas geradas por alguns cruzamentos de trilhas, optou-se pela

mudança de alguns capacitores de lugar. Essa nova organização dos capacitores da matriz do segundo integrador pode ser visualizada na Figura 6.11.

7	7	5	6	8	1
2	8	5	8	8	5
8	8	8	7	4	4
3	3	8	7	7	7
6	7	7	6	7	2
1	7	5	6	8	8

Figura 6.11: Arranjo da matriz do segundo integrador.

O leiaute dessa matriz pode ser observado na Figura 6.12. A partir do esquemático desse circuito foram gerados os capacitores para o leiaute, e suas dimensões são  $122 \mu\text{m}$  de largura por  $124,73 \mu\text{m}$  de altura.

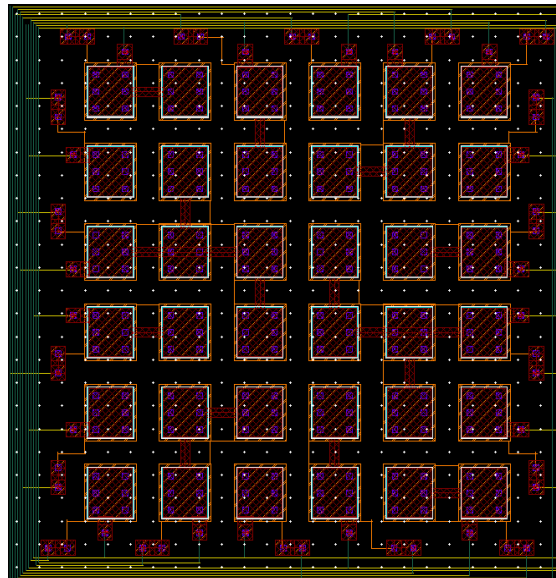


Figura 6.12: Leiaute da matriz de capacitores do segundo integrador.

#### 6.2.4 Leiaute das Matrizes dos Coeficientes de Saída

Para se projetar o leiaute dessas matrizes levou-se em consideração os coeficientes definidos na Seção 4.3 para os somadores antes do quantizador que são  $C11=1$ ,  $C12=1$  e  $C13=1$ . O valor final na saída do primeiro somador é definido pela Equação 4.2,

e os capacitores utilizados nessa matriz tem os valores de capacitâncias mostrados na Tabela 6.3.

Tabela 6.3: Valores dos capacitores utilizados no primeiro somador de saída.

	Capacitor	Valor	Valor [pF]
1	$C_{f01}$	$2C_u$	0,44
2	$C_{f02}$	$2C_u$	0,44
3	$C_{f11}$	$2C_u$	0,44
4	$C_{f12}$	$2C_u$	0,44
5	$C_{f21}$	$2C_u$	0,44
6	$C_{f22}$	$2C_u$	0,44

A soma de todas as capacitâncias tem como resultado 2640 fF e utilizando como padrão a capacitância unitária tem-se 12 capacitores. Com uma matriz de 6 linhas e 2 colunas temos espaço para 12 capacitores sem necessidade de capacitores *dummies*. No projeto dessa matriz pode-se usar a organização em centróide comum que pode ser visualizada na Figura 6.13.

3	2
1	5
6	4
4	6
5	1
2	3

Figura 6.13: Arranjo da matriz do primeiro somador de saída.

O leiaute dessa matriz pode ser observado na Figura 6.14. A partir do diagrama esquemático desse circuito foram gerados os capacitores para o leiaute, e suas dimensões são 45,72  $\mu\text{m}$  de largura por 109  $\mu\text{m}$  de altura.

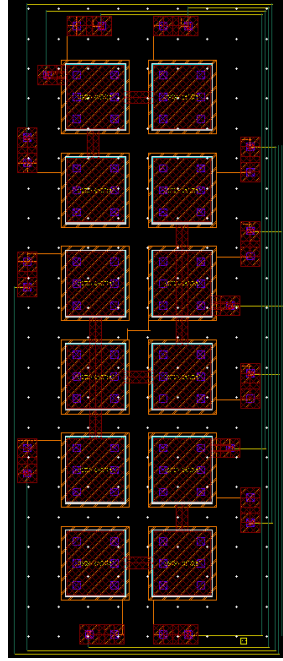


Figura 6.14: Leiaute da matriz de capacitores do primeiro somador de saída.

Para o segundo somador, seu valor na saída é definido pela Equação 4.3. A realização dessa matriz aproveita o arranjo da matriz anterior com ligações em paralelo a fim de que sejam obtidos os valores de capacitâncias desejados. O leiaute dessa matriz pode ser observado na Figura 6.15. A partir do diagrama esquemático desse circuito foram gerados os capacitores para o leiaute, e suas dimensões são  $92,88 \mu\text{m}$  de largura por  $111,8 \mu\text{m}$  de altura.

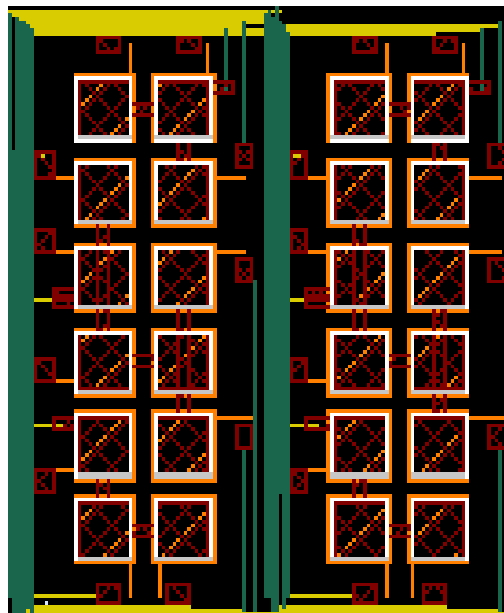


Figura 6.15: Leiaute da matriz de capacitores do segundo somador de saída.

## 6.3 Leiaute do Amplificador Operacional de Transcondutância

O OTA é um circuito analógico que requer cuidados adicionais em seu leiaute. Para um bom funcionamento do amplificador operacional e para conseguir que este fique invariante ao processo de fabricação, algumas técnicas são utilizadas.

Uma preocupação no leiaute do OTA diz respeito aos espelhos de corrente, pois cada transistor deve ser projetado como uma combinação em paralelo de transistores menores interdigitados com os outros transistores pertencentes ao espelho de corrente. Tal procedimento é útil na diminuição de erros causados por efeitos de gradiente no circuito, tais como temperatura e diferenças na espessura do óxido.

Para o casamento dos transistores do par diferencial de entrada foi realizado um casamento do tipo *cross-quad* como descrito em [40]. Este casamento é um caso especial do arranjo em centróide comum para dois dispositivos, no qual cada um é dividido ao meio e organizado em diagonais opostas, como pode ser observado na Figura 6.16.

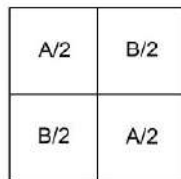


Figura 6.16: Casamento em *cross-quad*.

Esse arranjo permite obter um melhor casamento para esses transistores que são os que têm mais importância para o funcionamento correto do amplificador. Para fazer com que o amplificador tivesse melhor imunidade a ruídos suas redes PMOS e NMOS foram envoltas por anéis de guarda, bem como o par diferencial de entrada. O leiaute do amplificador operacional está ilustrado na Figura 6.17 e suas dimensões são 76,6  $\mu\text{m}$  de largura e 56  $\mu\text{m}$  de altura.



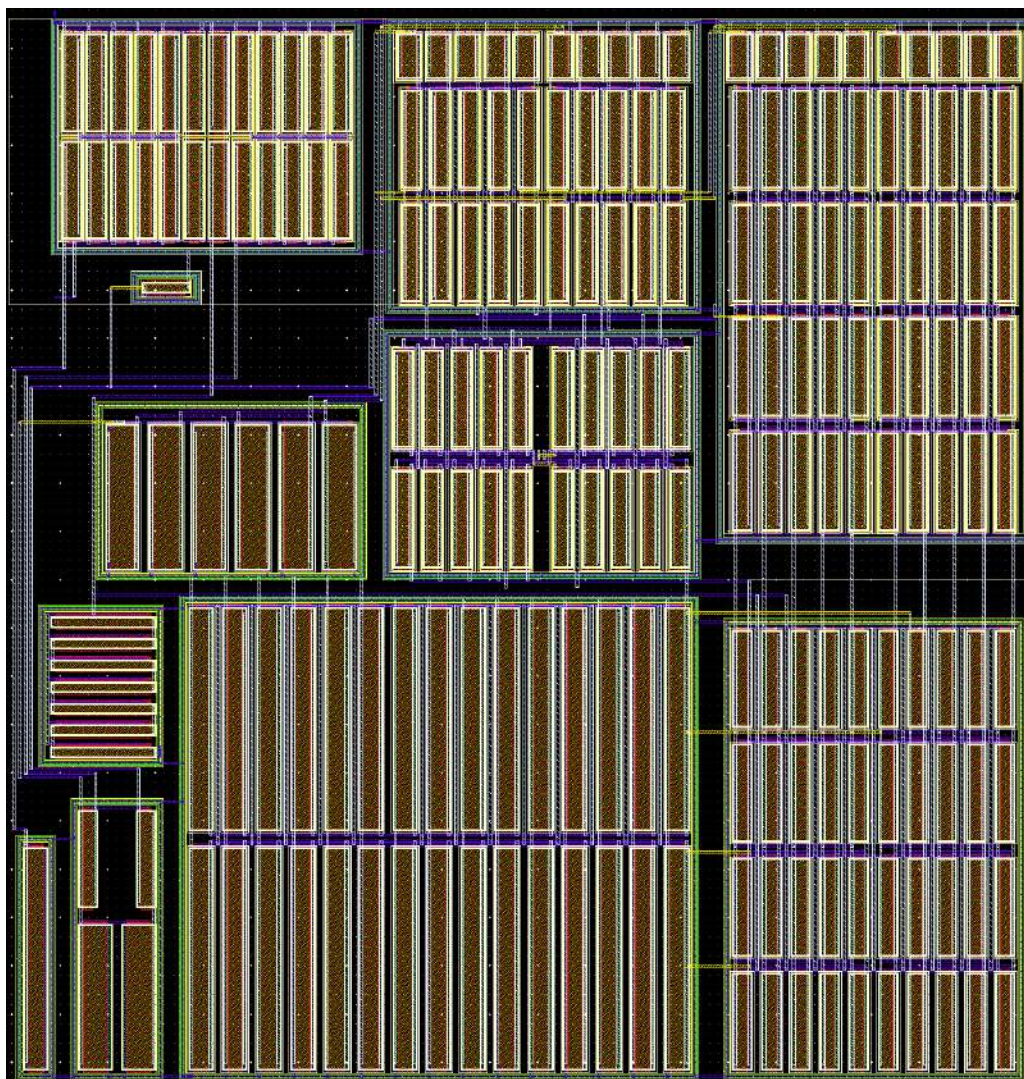


Figura 6.17: Leiaute do amplificador operacional de transcondutância.

## 6.4 Leiaute do Quantizador

O leiaute do quantizador, assim como o do amplificador, também requer cuidados especiais no que diz respeito ao casamento dos transistores, e as mesmas técnicas foram utilizadas para o seu funcionamento adequado. Para fazer com que o quantizador tivesse melhor imunidade a ruídos suas redes PMOS e NMOS foram envoltas por anéis de guarda, bem como o par diferencial de entrada. O leiaute do quantizador pode ser observado na Figura 6.18 e suas dimensões são  $9,09 \mu\text{m}$  de largura e  $16,94 \mu\text{m}$  de altura.

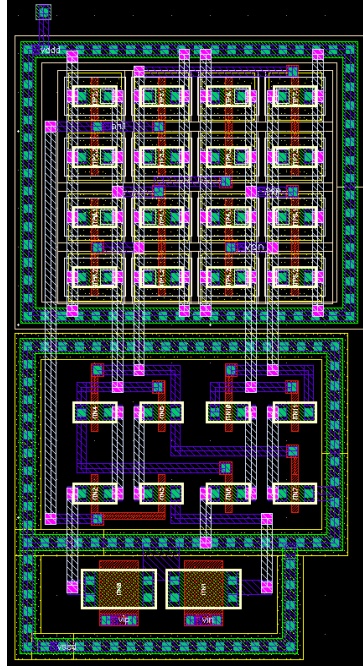


Figura 6.18: Leiaute do quantizador.

## 6.5 Leiaute do Modulador Completo

O leiaute do modulador completo consiste na conexão dos diversos circuitos mostrados nas seções anteriores, de modo a realizar o circuito cujo esquemático é mostrado na Figura 5.18. Embora a ligação entre estes elementos pareça uma operação simples, cuidados especiais no posicionamento de componentes e trilhas são procedimentos de vital importância para o êxito no funcionamento do circuito integrado. Diversos cuidados foram adotados para evitar o acoplamento entre as diversas partes do circuito, devido às capacitâncias parasitas, que deterioram a qualidade do sinal processado.

Como visto anteriormente o leiaute de cada circuito foi desenvolvido separadamente e cercado por anéis de guarda, para evitar a interferência de sinais espúrios pelo substrato. Tomou-se o cuidado de evitar o cruzamento entre trilhas analógicas e digitais. Outro importante fator considerado durante o projeto do leiaute foi a distribuição das trilhas de alimentação e terra. Uma distribuição inadequada destas trilhas pode gerar ruídos numa parte do circuito e contaminar outra. É uma boa prática separar as trilhas de alimentação em partes analógicas ( $V_{dda}$  e  $V_{ssa}$ ) e digitais ( $V_{ddi}$  e  $V_{ssd}$ ), além de usar trilhas largas para diminuir a resistência.

Com os leiautes prontos de todas as partes, estes foram dispostos a se obter a menor área possível e obteve-se o aspecto de um retângulo. Após a organização dos blocos foi realizada a interligação deles. O leiaute final do modulador sigma-delta



pseudo-paralelo pode ser observado na Figura 6.19 e suas dimensões são  $154,59 \mu\text{m}$  de largura e  $1051,65 \mu\text{m}$  de altura.

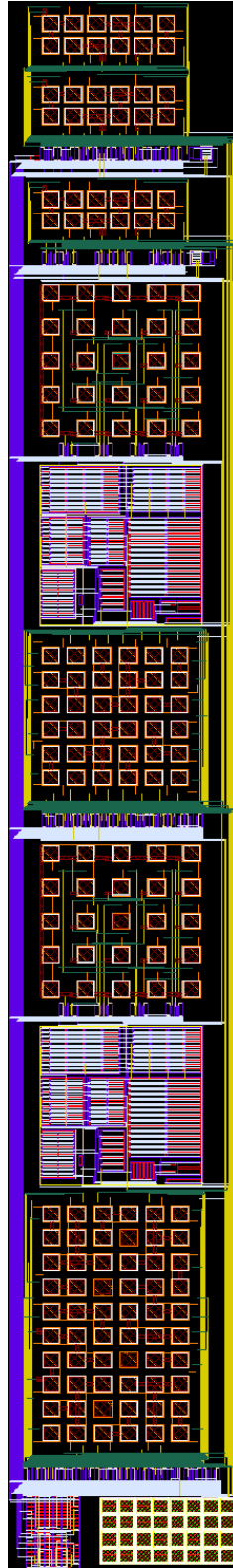


Figura 6.19: Leiaute final do modulador sigma-delta pseudo-paralelo.

# Capítulo 7

## Resultados das Simulações

Para comprovar o funcionamento adequado do PSDM proposto, simulações dos componentes desenvolvidos em nível de transistores foram realizadas. Após a validação feita e se obtido o funcionamento correto, os blocos descritos em transistores foram sucessivamente substituídos pelos seus respectivos circuitos extraídos a partir do leiaute. O leiaute extraído é uma representação do circuito que será fabricado, incluindo as capacitâncias parasitas.

No kit de desenvolvimento fornecido para a tecnologia CMOS 0,18  $\mu\text{m}$  da AMS, existem diversos modelos para cada dispositivo da tecnologia contendo valores ajustados de forma a refletir um determinado tipo de desvio no processo de fabricação. Deste modo foram realizados três tipos de simulação com relação aos modelos dos dispositivos: típica, de Monte Carlo e de *corners*. Na típica, são utilizados os valores nominais da tecnologia. Nas simulações de Monte Carlo, são realizadas muitas simulações baseadas no modelo estatístico dos transistores. Nas simulações de *corners*, são utilizados parâmetros onde os dispositivos são alterados considerando os piores casos, (*ws*) onde temos a pior velocidade e transistores são mais lentos e fracos que o típico, (*wp*) onde temos o pior consumo e transistores são mais rápidos e consomem mais energia que o típico, (*wo*) onde os transistores PMOS são mais lentos e transistores NMOS são mais rápidos que o típico, e (*wz*) onde os transistores NMOS são mais lentos e transistores PMOS são mais rápidos que o típico.

As simulações dos circuitos analógicos foram realizadas usando-se os simuladores Spectre e APS (*Accelerated Parallel Simulator*) da empresa Cadence. O simulador APS foi utilizado para as simulações de análise transiente, pois sua principal função é acelerar o tempo de simulação devido ao uso dos múltiplos núcleos dos processadores atuais.

## 7.1 Simulações em Nível de Transistores

### 7.1.1 Gerador de Fases do Relógio

Na Figura 7.1, mostram-se as fases  $\phi_1$ ,  $\phi_2$ ,  $\phi_{1d}$  e  $\phi_{2d}$ , geradas pelo sinal de  $V_{CLK}$  que para este trabalho possui frequência de 512 kHz. Neste circuito mesmo que existam diferenças entre os transistores e variações de processo, devido às suas características de projeto, os atrasos sempre estarão presentes e serão iguais entre as fases.

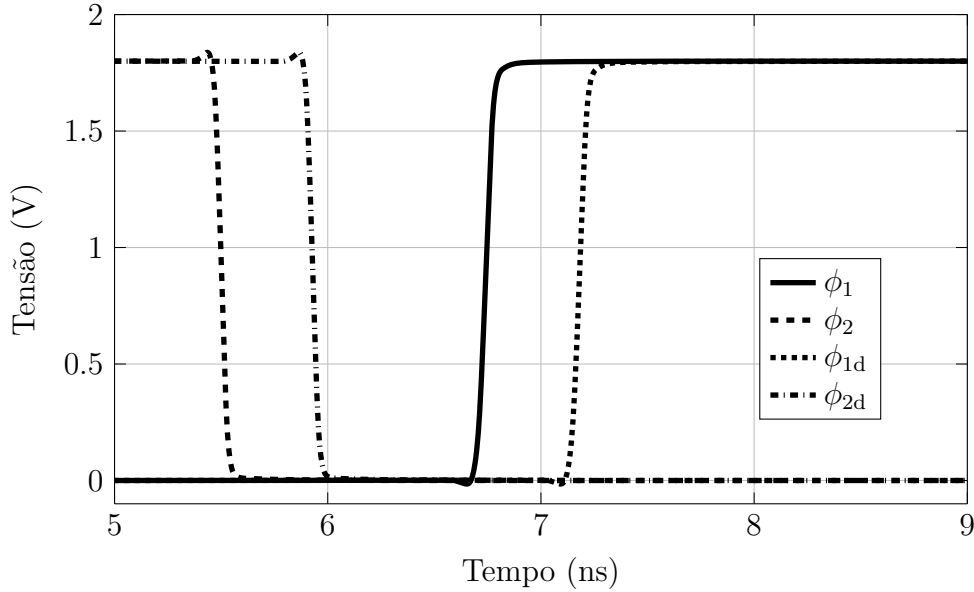


Figura 7.1: Simulação do circuito esquemático do gerador de fases do relógio.

Como pode ser observado para a frequência de 512 kHz, o atraso entre as fases  $\phi_1$  e  $\phi_2$  é aproximadamente 1,75 ns. Já o atraso entre as fases  $\phi_1$  e  $\phi_{1d}$  é 0,45 ns. A simulação do esquemático do circuito mostrou que o seu consumo é 4,41  $\mu$ W.

### 7.1.2 Quantizador

Para verificar o funcionamento do circuito esquemático do quantizador, foram realizadas simulações transientes onde foram aplicadas as entradas  $V_{in+}$ ,  $V_{in-}$  e  $V_{clk}$  como pode ser observado na Figura 7.2 e seu resultado é mostrado na Figura 7.3. A entrada positiva tem uma variação entre a tensão de alimentação e terra, e a entrada negativa varia entre terra e a tensão de alimentação. A saída do quantizador responde à comparação entre esses sinais, sendo nível lógico ‘1’ quando  $V_{in+}$  for maior que  $V_{in-}$ , e é atualizada na borda de subida do sinal  $V_{clk}$ .

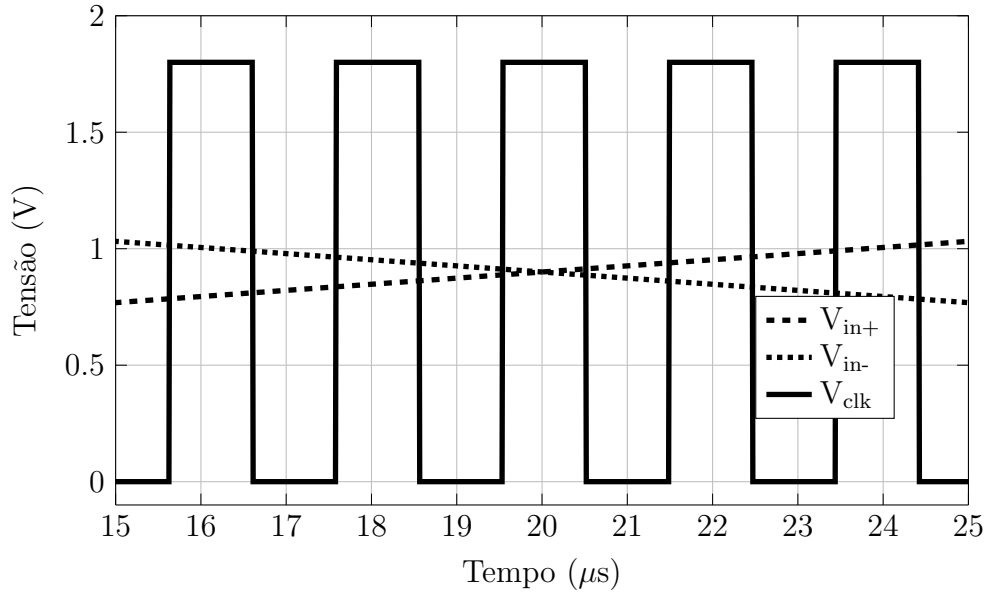


Figura 7.2: Entradas do quantizador para simulação do circuito esquemático.

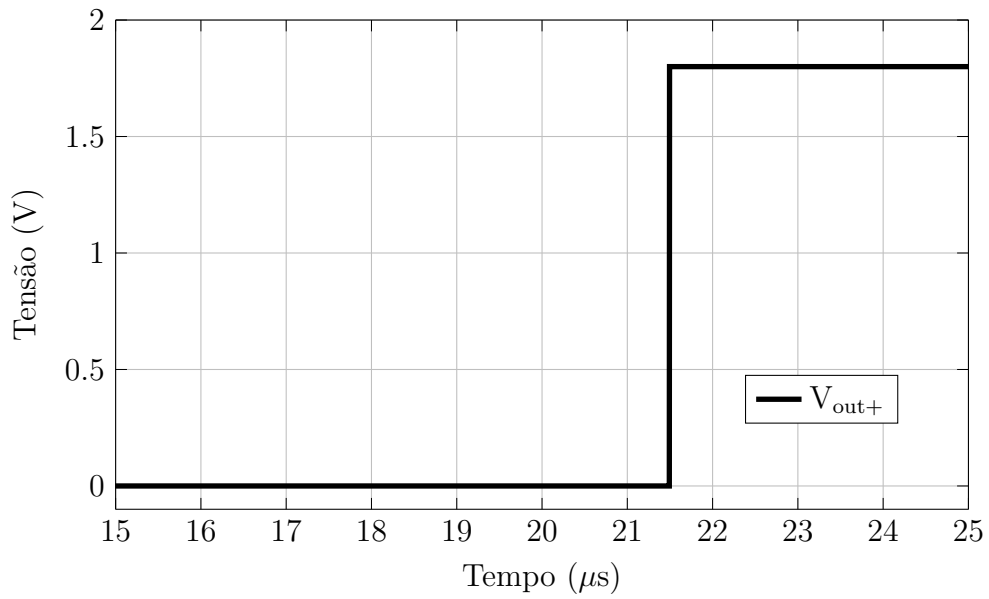


Figura 7.3: Saída do quantizador para a simulação do circuito esquemático.

Para essa aplicação, o *offset* não é uma preocupação devido às características do modulador, pois este é cancelado devido à realimentação do sistema. Os resultados desta simulação e as especificações deste quantizador podem ser verificados na Tabela 7.1.

Tabela 7.1: Resultados da simulação do circuito esquemático do quantizador.

Parâmetro	Valor
Taxa de variação positiva	661,90 MV/s
Taxa de variação negativa	629,40 MV/s
Tempo de acomodação positivo	34,20 ns
Tempo de acomodação negativo	38,54 ns
Consumo	172,80 nW

### 7.1.3 Amplificador Operacional de Transcondutância

Para verificar o cumprimento das especificações do OTA definidas na Tabela 4.3, foram realizadas simulações para determinar características no domínio do tempo, e resposta em frequência de ganho e fase.

Uma análise dos nós conectados à saída de cada OTA do circuito integrado revelou que a carga capacitiva máxima é de 2 pF, por isso essa carga foi adotada para as simulações a serem realizadas. O OTA é polarizado por uma corrente de 80 nA e a tensão de modo comum esperada, tanto na entrada quanto na saída do amplificador operacional, é igual a  $V_{DD}/2$ . Neste trabalho a tensão de alimentação é igual a 1,8 V, sendo a tensão de modo comum igual a 0,9 V.

Para se obter a taxa de variação de tensão na saída do OTA, é aplicado um sinal pulso na sua entrada e observada na sua saída essa variação ocorrer. Quanto maior o valor da taxa de variação, mais rápida será a resposta do OTA. Na Figura 7.4 são mostrados o sinal aplicado à entrada e sua resposta. O amplificador obteve uma taxa de variação positiva de 36,34 MV/s e negativa de 35,71 MV/s, tempo de acomodação positivo de 263,5 ns e negativo de 270 ns, e por fim, sua excursão de sinal é 44,5 mV até 1,8 V.

O ganho em modo diferencial é o ganho em malha aberta, aplicado sobre a diferença das tensões nas entradas do OTA. Valores típicos de ganhos diferenciais variam de 40 dB a 120 dB, o que corresponde a amplificar o sinal de entrada do OTA de  $10^2$  a  $10^6$  vezes. A resposta em frequência deste OTA é mostrada na Figura 7.11. Neste OTA obteve-se um ganho de malha aberta igual a 90,88 dB e a frequência de ganho unitário é igual a 6,76 MHz com margem de fase de 48,2°. O GBW do circuito é de 8,03 MHz e é maior que a frequência de ganho unitário pois este circuito não é um sistema de um pólo ideal.

Todos os resultados das simulações do OTA podem ser visualizados na Tabela 7.2. O OTA possui um consumo de 26,86  $\mu$ W para a corrente de polarização de 80 nA.

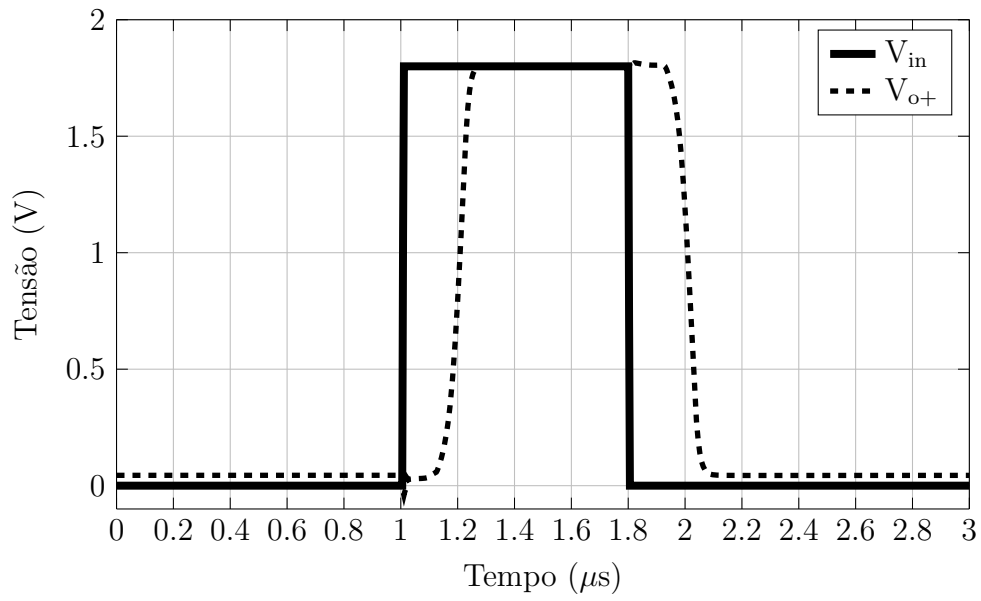


Figura 7.4: Resposta ao pulso do circuito esquemático do OTA.

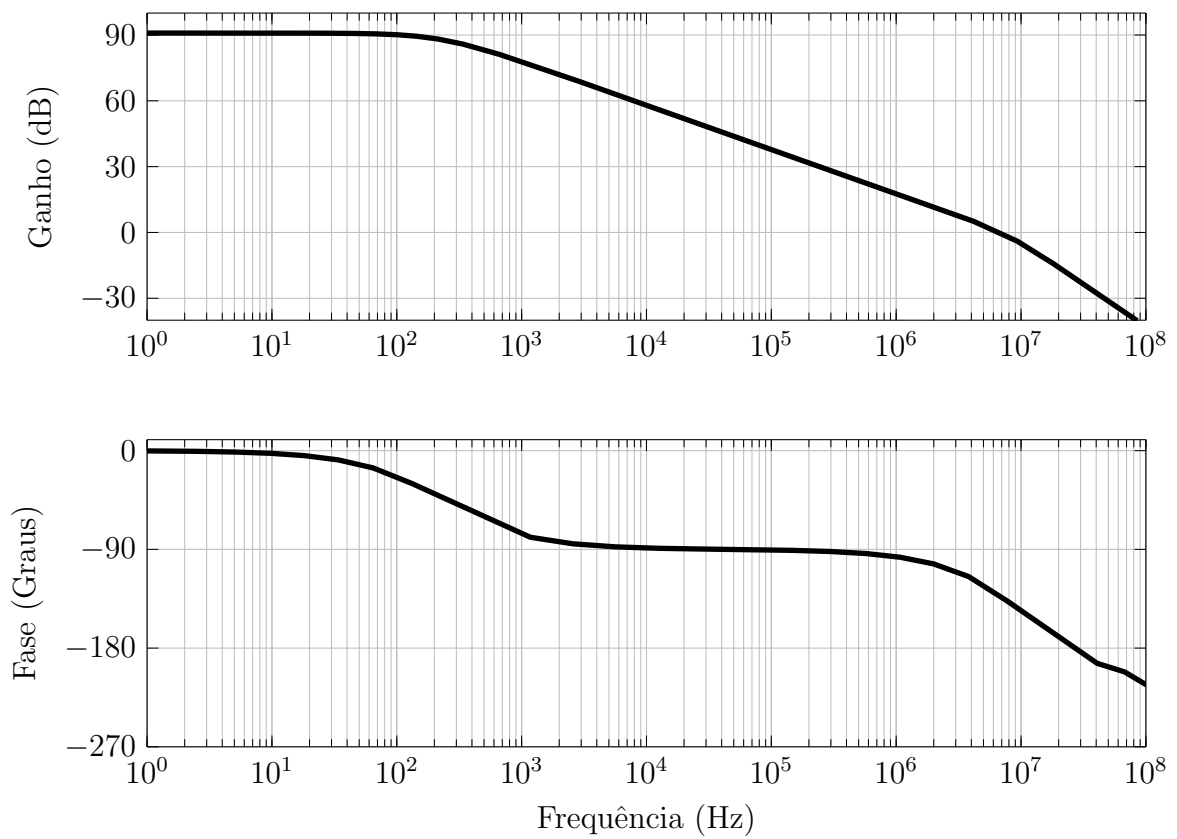


Figura 7.5: Resposta em frequência do circuito esquemático do OTA.

Tabela 7.2: Resultados da simulação do circuito esquemático do OTA.

Parâmetro	Valor
Ganho	90,88 dB
Margem de fase	48,20°
GBW	8,03 MHz
Tensão de saída	44,50 mV a 1,80 V
Taxa de variação positiva	36,34 MV/s
Taxa de variação negativa	35,71 MV/s
Tempo de acomodação positivo	263,50 ns
Tempo de acomodação negativo	270,00 ns
Consumo	26,86 $\mu$ W

#### 7.1.4 Modulador Sigma-Delta Pseudo-Paralelo

A SNR é a principal especificação de um modulador sigma-delta e a partir dela são extraídos o número efetivo de bits ENOB e as figuras de mérito FOM, que são expressas pela Equação 7.1. A SNR é obtida através de simulações transientes do circuito, aplicando-se um sinal senoidal na entrada e se obtendo como resultado na saída um sinal pulsado no tempo. Na saída é aplicada uma FFT para transformar o resultado para o domínio da frequência.

$$FOM_1 = \frac{Consumo}{2 \cdot BW \cdot 2^{ENOB}} \quad (7.1)$$

$$FOM_2 = SNR + 10 \cdot \log \cdot \frac{BW}{Consumo};$$

Na Figura 7.6, mostra-se a resposta em frequência gerada após a FFT da saída do circuito esquemático do modulador. A resposta atinge 101,9 dB de SNR, que é equivalente a 16,64 bits de ENOB.

Todos os resultados da simulação do PSDM podem ser visualizados na Tabela 7.3. Como é possível verificar, o modulador atinge as especificações necessárias para a aplicação.

Tabela 7.3: Resultados da simulação do circuito esquemático do PSDM.

Parâmetro	Valor
SNR	101,90 dB
ENOB	16,64 bits
FOM <sub>1</sub>	0,13 pJ
FOM <sub>2</sub>	177,72 dB
Consumo	52,46 $\mu$ W

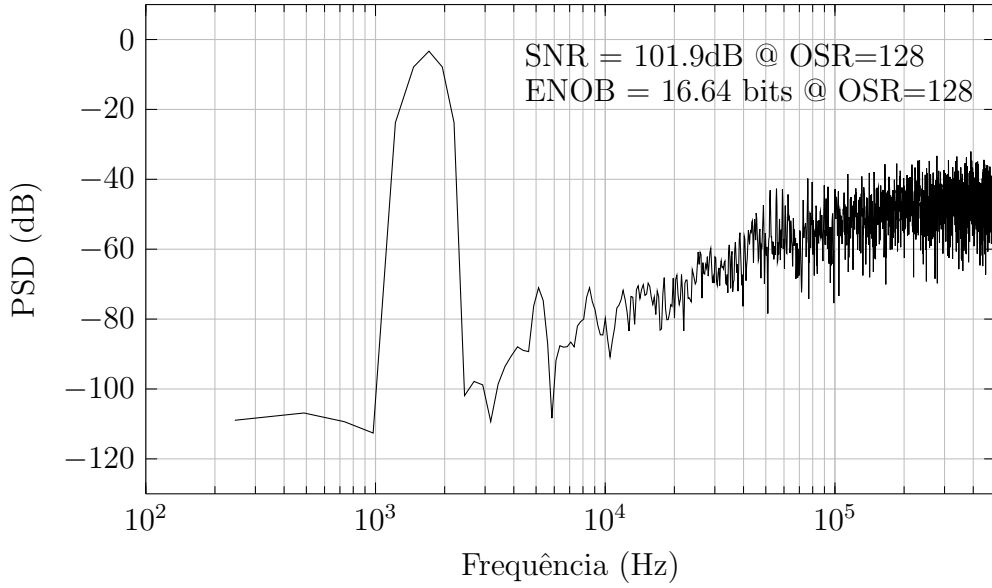


Figura 7.6: Resposta em frequência do circuito esquemático do PSDM.

## 7.2 Simulações em Nível de Leiaute

### 7.2.1 Gerador de Fases do Relógio

Para o circuito extraído do gerador de sinais, o sinal  $V_{CLK}$  que possui frequência de 512 kHz é responsável pela geração das fases  $\phi_1$ ,  $\phi_2$ ,  $\phi_{1d}$  e  $\phi_{2d}$ . Na Figura 7.7, mostra-se o funcionamento desse circuito.

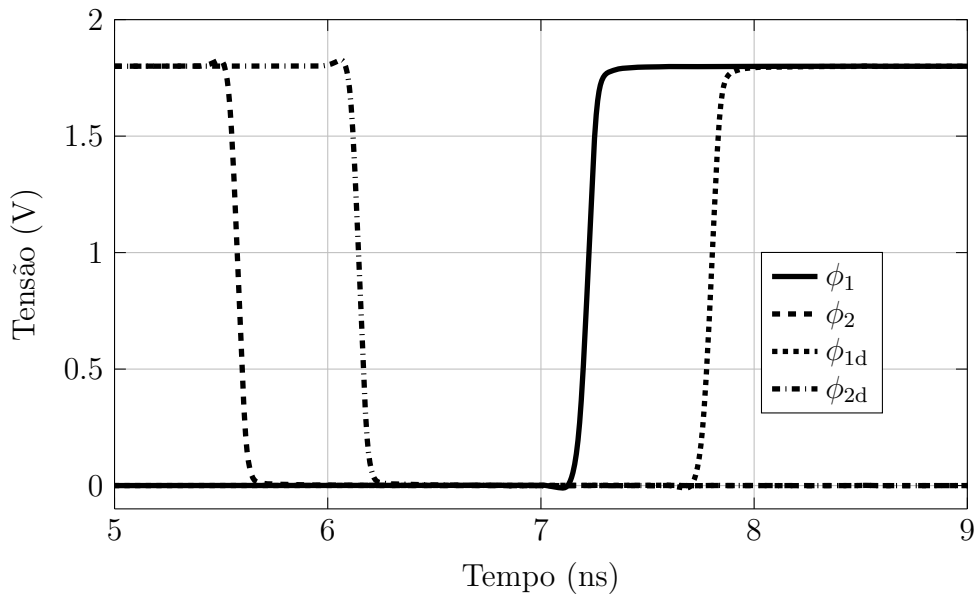


Figura 7.7: Simulação do circuito extraído do gerador de fases do relógio.

O atraso entre as fases  $\phi_1$  e  $\phi_2$  para a frequência de 512 kHz, é aproximadamente



1,65 ns. Já o atraso entre as fases  $\phi_1$  e  $\phi_{1d}$  é 0,6 ns. A simulação do circuito extraído mostrou que o seu consumo é 5,28  $\mu\text{W}$ . Como pode ser observado, houve uma pequena variação nos atrasos dos sinais em comparação às simulações do circuito em esquemático. No entanto essa variação não afeta o funcionamento do modulador.

### 7.2.2 Quantizador

Na Figura 7.8 são demonstradas as entradas para a simulação do circuito extraído do quantizador e seu resultado é mostrado na Figura 7.9.

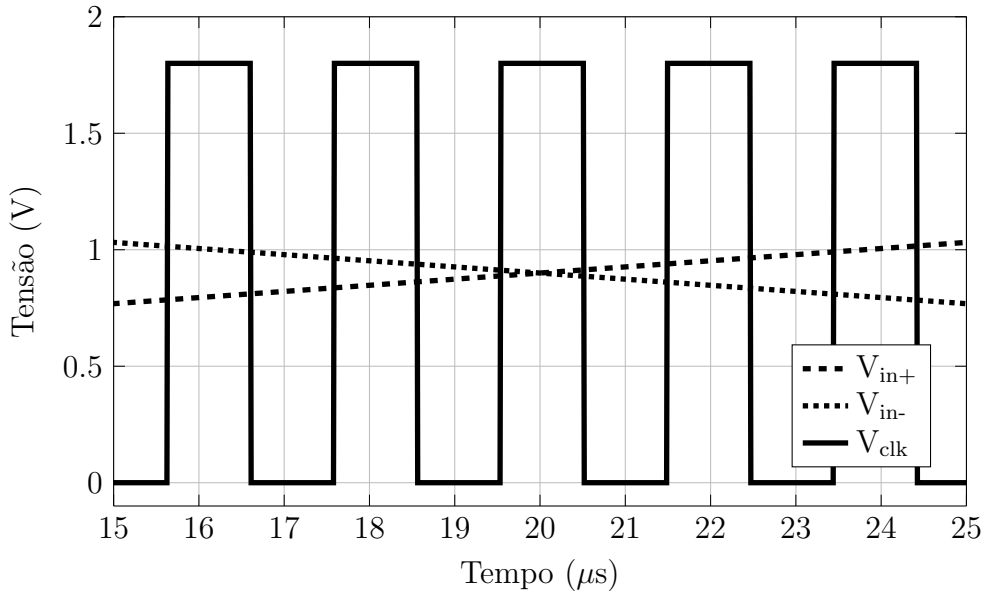


Figura 7.8: Entradas do quantizador para simulação do circuito extraído.

Os resultados desta simulação e as especificações deste quantizador podem ser verificadas na Tabela 7.4. Como pode ser observado, as respostas do quantizador ficaram um pouco mais lentas em comparação com os resultados apresentados na Tabela 7.1, essa variação é previsível devido à adição de componentes parasitas na etapa de leiaute. No entanto essa piora nos tempos de resposta não prejudica o funcionamento correto do quantizador, visto que o modulador funciona a uma frequência de 512 kHz.

### 7.2.3 Amplificador Operacional de Transcondutância

Como pode ser observado na Figura 7.10, o pulso foi aplicado à entrada do OTA e a resposta na sua saída mostrou uma taxa de variação positiva de 28,32 MV/s e negativa de 27,64 MV/s, tempo de acomodação positivo de 293,8 ns e negativo de 308,4 ns, e por fim, sua excursão de sinal vai de 44,48 mV a 1,8 V.

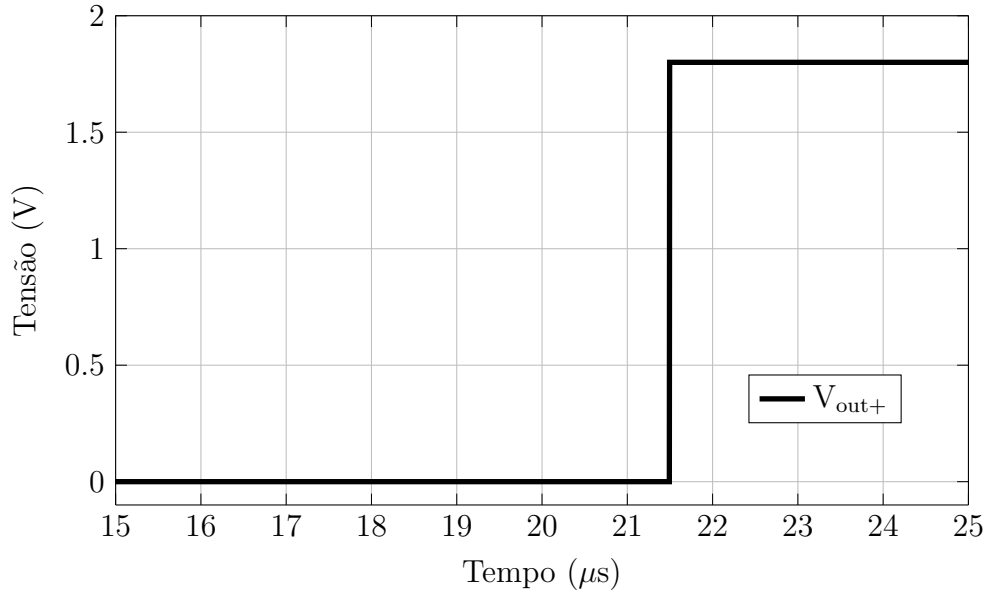


Figura 7.9: Saída do quantizador para a simulação do circuito extraído.

Tabela 7.4: Resultados da simulação do circuito extraído do quantizador.

Parâmetro	Valor
Taxa de variação positiva	646,60 MV/s
Taxa de variação negativa	621,00 MV/s
Tempo de acomodação positivo	45,74 ns
Tempo de acomodação negativo	53,32 ns
Consumo	179,90 nW

A resposta em frequência deste OTA é mostrada na Figura 7.11. Obteve-se um ganho de malha aberta igual a 90,6 dB e a frequência de ganho unitário é igual a 6,42 MHz com margem de fase de 46,5°. O GBW do circuito é de 7,74 MHz e é maior que a frequência de ganho unitário pois este circuito não é um sistema de um pólo ideal.

Todos os resultados das simulações do OTA podem ser visualizados na Tabela 7.5. O OTA possui um consumo de 28,54  $\mu W$  para a corrente de polarização de 80 nA.

Como pode ser observado na Tabela 7.5 e comparando esses resultados aos da Tabela 7.2, é possível verificar que houve uma piora na velocidade de resposta do amplificador devido aos componentes parasitas inerentes ao processo que surgem após a extração do circuito a partir do leiaute. No entanto essa piora no tempo de resposta não tem efeitos sobre o funcionamento do modulador, pois a saída se estabiliza em aproximadamente 300 ns e o tempo de integração é 1  $\mu s$ .

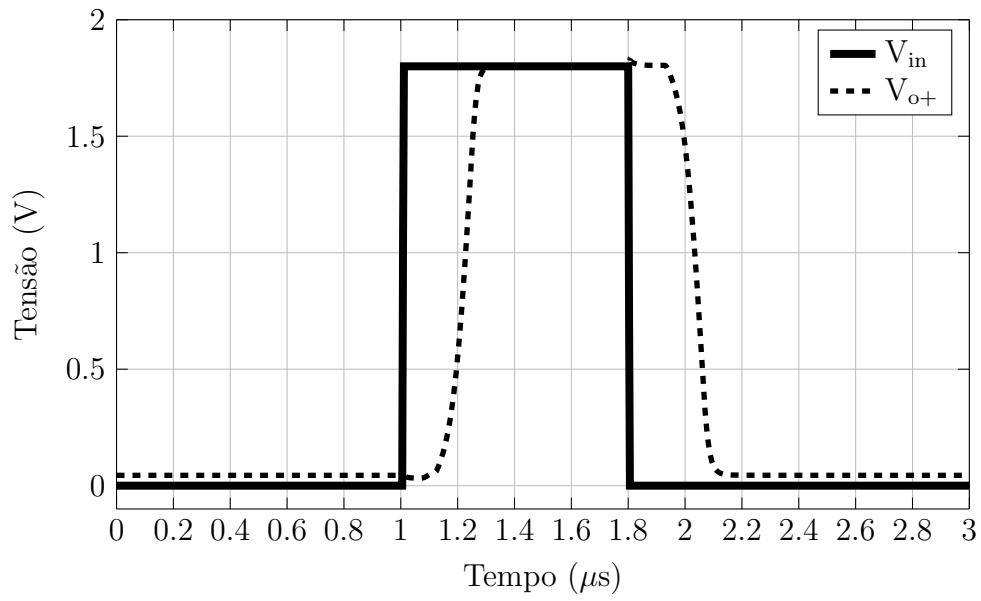


Figura 7.10: Resposta ao pulso do circuito extraído do OTA.

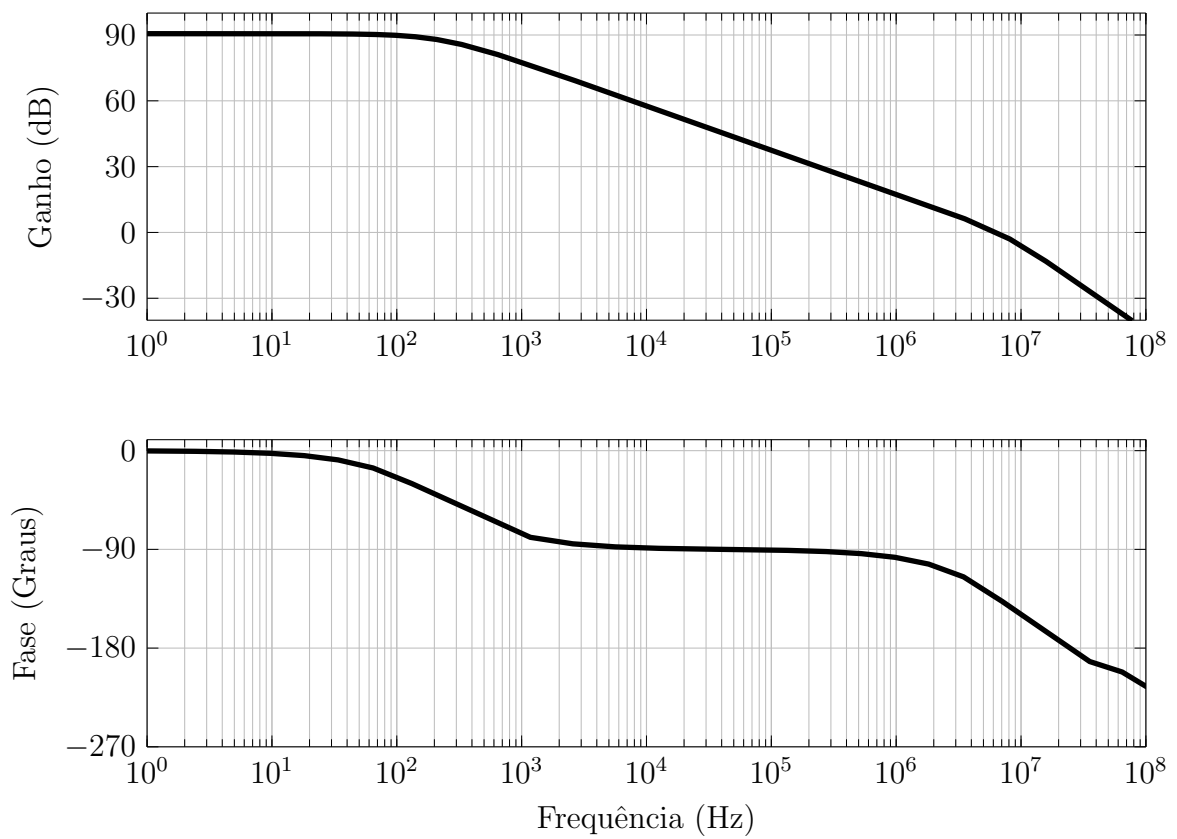


Figura 7.11: Resposta em frequência do circuito extraído do OTA.

Tabela 7.5: Resultados da simulação do circuito extraído do amplificador operacional.

Parâmetro	Valor
Ganho	90,60 dB
Margem de fase	46,50°
GBW	7,74 MHz
Tensão de saída	44,48 mV a 1,80 V
Taxa de variação positiva	28,32 MV/s
Taxa de variação negativa	27,64 MV/s
Tempo de acomodação positivo	293,80 ns
Tempo de acomodação negativo	308,40 ns
Consumo	28,54 $\mu$ W

#### 7.2.4 Modulador Sigma-Delta Pseudo-Paralelo

Depois de verificado o funcionamento do modulador com simulações em nível de transistores e após a comprovação do funcionamento dos componentes em nível de circuito extraído a partir do leiaute, pode-se partir para a simulação do modulador com os circuitos extraídos. Como essa simulação exige muito poder computacional e tempo de processamento, foram realizadas apenas 10 simulações de Monte Carlo e 4 simulações de *corners* para a verificação do circuito.

A resposta em frequência gerada após a FFT da saída do circuito extraído do modulador é mostrada na Figura 7.12. A resposta atinge 99,8 dB de SNR que é equivalente a 16,29 bits de ENOB.

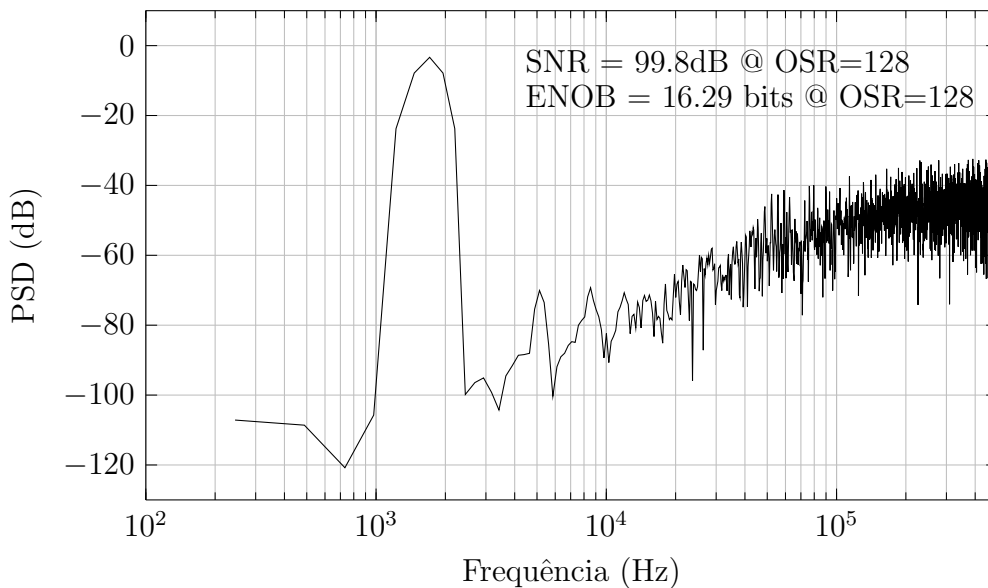


Figura 7.12: Resposta em frequência do circuito extraído do PSDM.

Os resultados da simulação do PSDM a partir do circuito extraído podem ser observados na Tabela 7.6. Como é possível verificar, o modulador atinge as especificações necessárias para a aplicação mesmo com os componentes parasitas adicionados após a extração.

Tabela 7.6: Resultados da simulação do circuito extraído do PSDM.

Parâmetro	Valor
SNR	99,80 dB
ENOB	16,29 bits
FOM <sub>1</sub>	0,16 pJ
FOM <sub>2</sub>	175,64 dB
Consumo	52,50 $\mu$ W

Após a simulação do circuito utilizando os parâmetros típicos, foram realizadas 10 simulações de Monte Carlo para verificar o seu comportamento no que diz respeito a variações de processo e de descasamento. Os resultados dessas simulações podem ser verificados na Figura 7.13

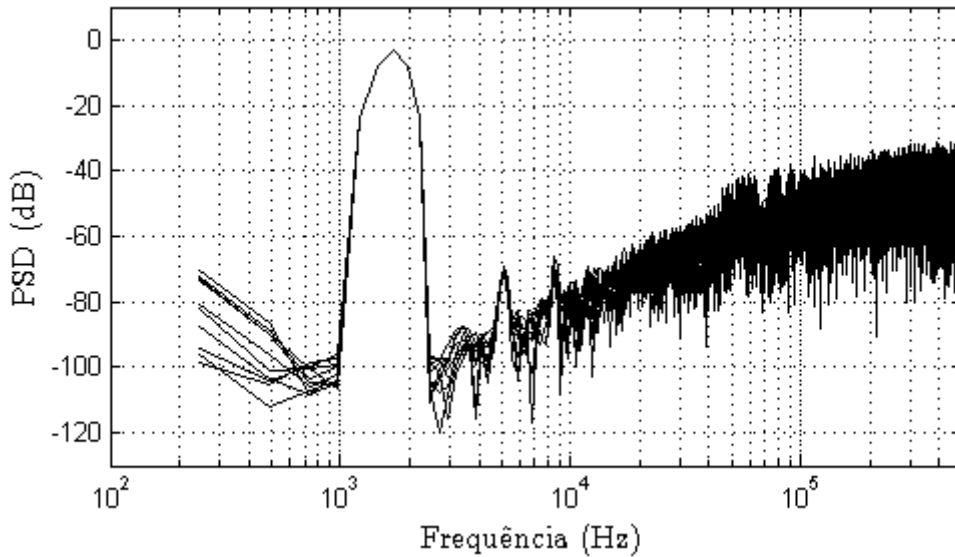


Figura 7.13: Simulações de Monte Carlo do circuito extraído do PSDM.

Na Tabela 7.7, podem ser observados os resultados das simulações de Monte Carlo. Como é possível verificar, em 7 de 10 simulações o modulador atinge um ENOB acima de 15, o que representa um modulador com 16 bits com erro máximo de 1 LSB (*Least significant bit*). Nas outras simulações pode se observar que sempre que o ENOB ficou abaixo de 15 bits, o consumo foi menor que 50  $\mu$ W, ou seja, provavelmente o OTA deixou de ser polarizado corretamente. Uma possibilidade de

resolução desse problema é a calibração da corrente de polarização para se manter o OTA polarizado corretamente.

Tabela 7.7: Resultados das simulações de Monte Carlo do circuito extraído do PSDM.

Simulação	SNR [dB]	ENOB [bits]	FOM <sub>1</sub> [pJ/conv]	FOM <sub>2</sub> [dB]	Consumo [μW]
MC1	96,18	15,68	0,28	171,50	58,86
MC2	92,34	15,04	0,46	167,40	62,35
MC3	96,51	15,73	0,25	172,10	55,26
MC4	90,90	14,80	0,40	167,28	45,96
MC5	93,86	15,30	0,31	169,85	50,31
MC6	88,91	14,47	0,50	165,35	45,36
MC7	94,81	15,45	0,30	170,52	53,69
MC8	95,21	15,52	0,34	170,25	62,67
MC9	89,03	14,49	0,48	165,59	44,18
MC10	97,08	15,83	0,29	171,79	67,60

Por fim, também foram realizadas simulações de *corners*. Na Figura 7.14 temos os resultados dessas simulações.

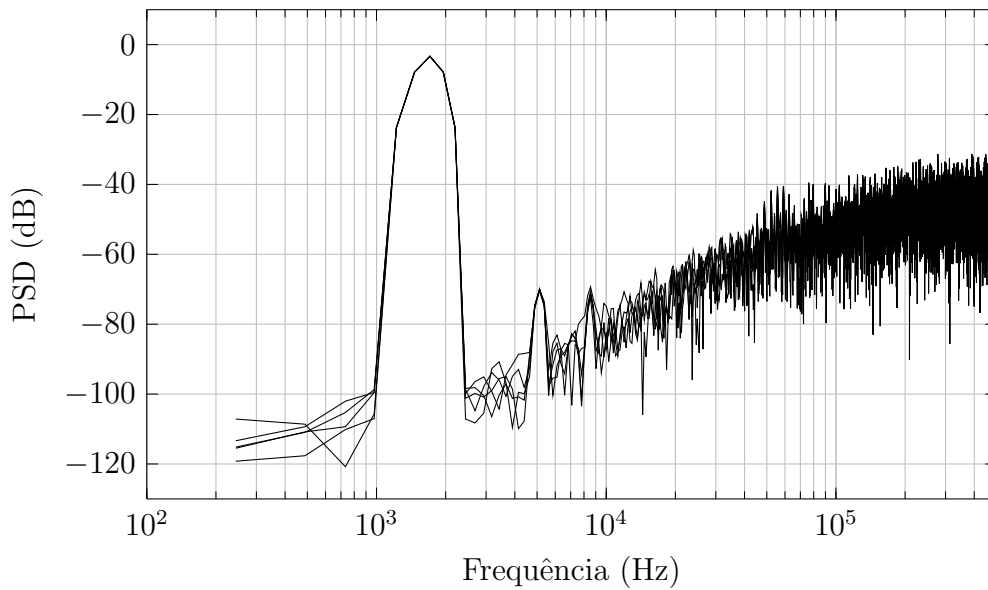


Figura 7.14: Simulações de *corners* do circuito extraído do PSDM.

Os resultados das simulações de *corners* do PSDM a partir do circuito extraído podem ser observados na Tabela 7.8. Como é possível verificar, o modulador atinge ENOB superior a 15 em 3 dos 4 *corners*. O *corner* em que houve o pior resultado é onde os transistores NMOS são mais lentos que os PMOS, e isso afeta diretamente

o par diferencial de entrada do OTA. Uma possível solução é o ajuste da corrente de polarização para polarizar corretamente o OTA nesse caso.

Tabela 7.8: Resultados das simulações de *corners* do circuito extraído do PSDM.

Simulação	SNR [dB]	ENOB [bits]	FOM <sub>1</sub> [pJ/conv]	FOM <sub>2</sub> [dB]	Consumo [μW]
<i>ws</i>	92,10	15,01	0,34	168,61	44,64
<i>wp</i>	93,39	15,22	0,44	168,17	66,6
<i>wo</i>	99,52	16,23	0,15	175,88	46,24
<i>wz</i>	91,83	14,96	0,47	167,1	59,54

## 7.2.5 Comparação com Outros Trabalhos

Na literatura existem várias implementações de moduladores sigma-delta que trabalham com baixas e médias frequências, como é o caso de aplicações de áudio e biológicas. No entanto essas aplicações não têm requisitos semelhantes aos medidores de energia, exceto aquelas que trabalham com sinais EMG (*Electromyography*) e ENG (*Electroneurogram*). Como contraste, no campo da medição de energia elétrica, foram relatados apenas dois trabalhos [28], [41].

Com o objetivo de comparar o desempenho do modulador PSDM desenvolvido neste trabalho com pesquisas anteriores, as Tabelas 7.9 e 7.10 listam suas principais características elétricas e físicas, como área e consumo de energia. Ainda que possuam arquitetura e objetivo diferentes, todos compreendem a realização de um modulador sigma-delta em circuito integrado.

Como pode ser observado este trabalho está entre os que possuem as melhores figuras de mérito FOM<sub>1</sub>. No entanto, os trabalhos que tiveram melhores resultados obtiveram esses resultados através de resultados de simulação do circuito esquemático. Para os trabalhos relacionados à medição de energia, este trabalho possui o menor consumo e número efetivo de bits acima de 16, o que mostra que os objetivos no projeto desse modulador foram alcançados.

Tabela 7.9: Comparação do PSDM com outros circuitos integrados.

Referência	Tecnologia [ $\mu\text{m}$ ]	$V_{DD}$ [V]	BW [kHz]	OSR	fs [MHz]	SNR [dB]	Resultados
[28]	0,180	1,8	2,0	256	1,000	102,1	Esquemático
[41]	0,130	1,2	14,0	128	3,584	99,0	Esquemático
[42]	0,130	1,2	10,0	128	2,560	87,8	Medido
[43]	0,150	1,6	2,0	80	0,320	64,0	Medido
[44]	0,180	1,8	10,0	64	1,280	95,0	Esquemático
[45]	0,130	0,8	10,0	40	0,800	82,0	Medido
[46]	0,180	0,8	10,0	128	2,560	80,3	Medido
[47]	0,065	0,9	0,5	250	0,250	76,0	Medido
[48]	0,180	1,5	1,0	128	0,256	93,0	Esquemático
[49]	0,180	1,8	10,0	128	2,560	70,5	Pós-leiaute
[50]	0,180	0,9	0,5	512	0,250	64,0	Medido
[51]	0,180	1,8	4,0	96	0,768	80,0	Medido
Este trabalho	0,180	1,8	2,0	128	0,512	99,8	Pós-leiaute

Tabela 7.10: Comparação do PSDM com outros circuitos integrados. (continuação)

Referência	Consumo [ $\mu\text{W}$ ]	FOM <sub>1</sub> [pJ/conv]	FOM <sub>2</sub> [dB]	ENOB [bits]	Área $\text{mm}^2$	Resultados
[28]	60,9	0,14	177,3	16,7	N.D.	Esquemático
[41]	316,0	0,15	175,4	16,2	N.D.	Esquemático
[42]	148,0	0,37	166,1	14,3	3,460	Medido
[43]	96,0	18,53	137,2	10,3	1,020	Medido
[44]	210,0	0,23	171,8	15,5	N.D.	Esquemático
[45]	48,0	0,23	165,2	13,3	N.D.	Medido
[46]	54,0	0,32	163,0	13,0	0,390	Medido
[47]	2,1	0,41	159,8	12,3	0,033	Medido
[48]	1350,0	18,49	151,7	15,2	N.D.	Esquemático
[49]	161,0	2,94	148,4	10,8	1,035	Pós-leiaute
[50]	4,6	3,55	144,4	10,5	0,127	Medido
[51]	180,0	2,75	153,4	13,0	N.D.	Medido
Este trabalho	52,5	0,16	175,6	16,3	0,160	Pós-leiaute

N.D. Não definido.



# Capítulo 8

## Conclusões

Neste trabalho foram propostas implementações de circuitos integrados digitais e mistos para serem aplicados em medidores de energia. O desenvolvimento desses circuitos pode ser dividido em três etapas. Na primeira etapa foi realizado um estudo sobre as arquiteturas desses circuitos e sobre os componentes que poderiam ser utilizados para seu desenvolvimento, sendo mostrado como é possível desenvolver esses componentes em nível de transistores. Na segunda etapa do projeto todos os componentes foram reprojatados para a tecnologia CMOS 0,18  $\mu\text{m}$  da AMS, tanto as partes analógicas quanto as digitais. Também foram realizadas simulações que comprovaram o seu funcionamento. Na terceira foram feitos os leiautes dos circuitos e simulações dos seus circuitos extraídos.

Para os circuitos digitais foi introduzido o conceito do multiplicador de baixo consumo de energia. Esse circuito utiliza uma técnica de desvio para evitar o acionamento de determinados componentes da multiplicação que geram valores redundantes. Essa técnica foi aplicada no circuito multiplicador 16x16 e também nos filtros digitais passa-altas e passa-baixas utilizados na estrutura do circuito de medição de energia. O multiplicador de baixo consumo aqui desenvolvido apresentou um consumo de energia de 437,33  $\mu\text{W}$  e ocupou uma área de 0,047  $\text{mm}^2$ , o que representa uma redução no consumo de 40% e uma área 3,36 vezes maior se comparado ao multiplicador tradicional. Já para o filtro passa-altas, houve um consumo cerca de 15% menor, mas essa redução no consumo acarretou em um aumento de 40% na área, se comparado ao filtro passa-altas tradicional, o que representa um consumo de 94,91  $\mu\text{W}$  e uma área de 0,018  $\text{mm}^2$ . O filtro passa-baixas ocupa uma área de 0,030  $\text{mm}^2$  e consumindo apenas 131,52  $\mu\text{W}$ , que significa uma área 2,3 vezes maior e um consumo 26% menor que um filtro sem técnicas de redução de consumo.

No que diz respeito aos circuitos mistos foi projetado um modulador sigma-delta pseudo-paralelo que utiliza um conceito de processamento de sinal multitaxas para reduzir a razão de sobre-amostragem, evitando o uso de múltiplos SDMs. O desenvolvimento dessa arquitetura baseia-se nos conceitos de processamento paralelo e

sobre-amostragem sem a necessidade de uma alta frequência de amostragem. Esse conceito foi inicialmente aplicado no desenvolvimento de moduladores sigma-delta digitais. No entanto neste trabalho o circuito foi projetado utilizando circuitos analógicos e a técnica de capacitores chaveados. Neste trabalho foram realizadas várias simulações para encontrar os melhores coeficientes do PSDM com base nas suas variações no modelo ideal desenvolvido utilizando o Simulink. Os coeficientes foram otimizados para alcançar o máximo de SNR usando valores mínimos de capacitância explorando a variação na saída dos integradores. O desempenho do PSDM desenvolvido neste trabalho foi verificado por simulações pós-leiaute. O modulador atingiu uma faixa dinâmica de 99,8 dB para uma largura de banda do sinal de 2 kHz, com uma razão de sobre-amostragem de 128, ocupando uma área de 0,16 mm<sup>2</sup> e consumindo apenas 52,5  $\mu$ W de potência quando utilizando uma fonte de alimentação de 1,8 V. O circuito atende aos requisitos das aplicações de medição de energia elétrica que é uma SNR maior do que 99 dB e exibe um ENOB de 16,3 bits.

A principal contribuição deste trabalho é a concepção de um PSDM que se adapte aos requisitos de aplicação de sistemas de medição de energia elétrica (TCAM e TPAM), com baixo consumo de energia devido à sua característica de redução da taxa de sobre-amostragem.

## 8.1 Trabalhos Futuros

As principais propostas para a continuidade desta pesquisa de tese podem ser resumidas nos seguintes itens:

- Desenvolver um método de otimização dos coeficientes do modulador utilizando técnicas como algoritmos genéticos e *simulated annealing*.
- Utilizar circuitos de polarização adaptativa no desenvolvimento de todo o amplificador cascode dobrado, reduzindo o consumo de energia sem degradar o seu desempenho.
- Fabricar e testar os circuitos digitais desenvolvidos.
- Fabricar e testar o modulador sigma-delta pseudo-paralelo.
- Com o objetivo de finalizar o projeto de um conversor sigma-delta, ainda se faz necessário o desenvolvimento de um decimador que possa ser aplicado ao modulador desenvolvido nesse trabalho.
- Implementar um conversor digital para a frequência (DFC). Este circuito é responsável pela geração de pulsos que são utilizados no cálculo do consumo de energia.
- Fazer a integração dos circuitos digitais e do modulador desenvolvidos neste trabalho com o decimador e o conversor digital para a frequência, a fim de se obter um medidor de energia completo.

# Referências Bibliográficas

- [1] OKLOBDZIJA, V., VILLEGGER, D., LIU, S. “A Method for Speed Optimized Partial Product Reduction and Generation of Fast Parallel Multipliers Using an Algorithmic Approach”, *IEEE Transactions on Computers*, pp. 294–306, março de 1996.
- [2] PEKMESTZI, K. “Multiplexer-Based Array Multiplier”, *IEEE Transactions on Computers*, pp. 15–23, janeiro de 1999.
- [3] MEIER, P., RUTENBAR, R., CARLEY, L. “Exploring Multiplier Architecture and Layout for Low Power”, *Proceedings of the IEEE Custom Integrated Circuits Conference*, p. 513–516, maio de 1996.
- [4] CHONG, K., GWEE, B., CHANG, J. “A Micropower Low-Voltage Multiplier with Reduced Spurious Switching”, *IEEE Transactions on Very Large Scale Integrated Systems*, pp. 255–265, fevereiro de 2005.
- [5] HAN, C., PARK, H., KIM, L. “A Low-Power Array Multiplier Using Separated Multiplication Technique”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, pp. 866–871, setembro de 2001.
- [6] DI, J., YUAN, J., HAGEDORN, M. “Energy-Aware Multiplier Design in Multi-Rail Encoding Logic”, *Proceedings of the IEEE Midwest Symposium on Circuits and Systems*, pp. 294–297, agosto de 2002.
- [7] OHBAN, J., MOSHNYAGA, V., INOUE, K. “Multiplier Energy Reduction Through Bypassing of Partial Products”, *Proceedings of the IEEE Asia-Pacific Conference on Circuits and Systems*, p. 13–17, outubro de 2002.
- [8] HATAMI, S., HELAOUI, M., NEGRA, R., et al. “Multiband Multistandard Delta-Sigma-based RF Transmitters”, *Software Defined Radio Technical Conference*, pp. 221–224, novembro de 2007.
- [9] HELAOUI, M., HATAMI, S., NEGRA, R., et al. “A Novel Architecture of Delta-Sigma Modulator Enabling All-Digital Multiband Multistandard

- RF Transmitters Design”, *IEEE Transactions Circuits and Systems II*, pp. 1129–1133, dezembro de 2008.
- [10] HATAMI, S., HELAOUI, M., GHANNOUCHI, F. M., et al. “Single-Bit Pseudoparallel Processing Low-Oversampling Delta-Sigma Modulator Suitable for SDR Wireless Transmitters”, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, pp. 922–931, maio de 2013.
  - [11] JIXUAN, Z., GAO, D. W., LI, L. “Smart Meters in Smart Grid: An Overview”, *IEEE Green Technologies Conference*, pp. 57–64, abril de 2013.
  - [12] FALVO, M. C., MARTIRANO, L., SBORDONE, D., et al. “Technologies for Smart Grids: A Brief Review”, *12th International Conference on Environment and Electrical Engineering (EEEIC)*, pp. 369–375, maio de 2013.
  - [13] ZHANG, J., GONG, M., LI, L., et al. “Study on Poly Phase Multifunction Energy Metering IC”, *2013 Seventh International Conference on Image and Graphics*, pp. 770–773, julho de 2013.
  - [14] GUIMARÃES, A. M. F., FREITAS, T. T., GRINER, H., et al. “Smart Energy Monitoring System with ADE7758 IC”, *2015 5th International Youth Conference on Energy (IYCE)*, pp. 1–5, maio de 2015.
  - [15] BRITO, L. C. G., JUNIOR, J. E. R. A., SANTOS, J. C. R., et al. “Sistema de Automonitoramento Individualizado de TI’s e Método de Diagnóstico para Sistemas de Medição de Energia Elétrica”, *VIII Simpósio de Automação de Sistemas Elétricos*, pp. 1–11, dezembro de 2009.
  - [16] TOMLINSON, G. *Electrical Networks and Filters - Theory and Design*. 1 ed. , Prentice Hall, 1991.
  - [17] SKAF, J., BOYD, S. P. “Filter Design With Low Complexity Coefficients”, *IEEE Transactions on Signal Processing*, pp. 3162–3169, julho de 2008.
  - [18] OPPENHEIM, A. V., WILLSKY, A. S. *Signals and Systems*. 1 ed. , Prentice Hall, 1997.
  - [19] WANG, Y. “A Class-S RF Amplifier Architecture with Envelope Delta-Sigma Modulation”, *IEEE Radio and Wireless Conference*, pp. 177–179, agosto de 2002.
  - [20] HATAMI, S., AFLAKI, P., HELAOUI, M., et al. “Multistandard GHz Wireless RF Transmitter Using a Delta-Sigma Modulator and Switch-Mode Power Amplifiers”, *IEEE Transactions on Microwave Theory and Techniques*, pp. 2811–2819, novembro de 2010.

- [21] WU, X., CHOULIARAS, V. A., NUNEZ, J. L., et al. “A Novel  $\Delta\Sigma$  Control System Processor and Its VLSI Implementation”, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, pp. 217–228, fevereiro de 2008.
- [22] KHOINI-POORFARD, R., LIM, E., JOHNS, D. “Time-Interleaved Oversampling A/D Converters: Theory and Practice”, *IEEE Transactions Circuits and Systems II*, pp. 634–645, agosto de 1997.
- [23] KING, E., ESHRAGHI, A., GALTON, I., et al. “A Nyquist-Rate Delta-Sigma A/D Converter”, *IEEE Journal of Solid-State Circuits*, pp. 45–52, janeiro de 1998.
- [24] JABBOUR, C., CAMARERO, D., NGUYEN, V. T., et al. “A 1 V 65 nm CMOS Reconfigurable Time Interleaved High Pass Sigma Delta ADC”, *IEEE International Symposium on Circuits and Systems*, pp. 1557–1560, maio de 2009.
- [25] JENSEN, I., GALTON, H. “Oversampling Parallel Delta-Sigma Modulator A/D Conversion”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, pp. 801–810, agosto de 2002.
- [26] BRIGATI, S., FRANCESCONI, F., MALCOVATI, P., et al. “Modeling Sigma-Delta Modulator Non-Idealities in SIMULINK(R)”, *IEEE International Symposium on Circuits and Systems*, pp. 384–387, junho de 1999.
- [27] MALCOVATI, P., BRIGATI, S., FRANCESCONI, F., et al. “Behavioral Modeling of Switched-Capacitor Sigma-Delta Modulators”, *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, pp. 352–364, julho de 2003.
- [28] MARIN, J. V. D. C. “Integrated Circuit Design of Sigma-Delta Modulator For Electric Energy Measurement Applications”, *Dissertação de Mestrado, COPPE/UFRJ*, 2013. <http://www.pee.ufrj.br/index.php/pt/producao-academica/dissertacoes-de-mestrado/2013-1/2013100701-2013100701/file>.
- [29] BAKER, R. *CMOS: Circuit Design, Layout and Simulation*. 1 ed. , IEEE Press Wiley, 2010.
- [30] GREGORIAN, R., TEMES, G. C. *Analog MOS Integrated Circuits for Signal Processing*. 1 ed. , Wiley, 1986.
- [31] RAZAVI, B. *Design of Analog CMOS Integrated Circuits*. 1 ed. , McGraw-Hill, 2000.

- [32] BARÚQUI, F. A. P. “Introdução ao Projeto de Circuitos Integrados Analógicos”, *Apostila de Microeletrônica, COPPE/UFRJ*, 2012.
- [33] MALOBERTI, F. *Data Converters*. 1 ed. , Springer, 2007.
- [34] YAO, L., STEYAERT, M., SANSEN, W. *Low-Power Low-Voltage Sigma-Delta Modulators in Nanometer CMOS*. 1 ed. , Springer, 2006.
- [35] LOPEZ-MARTIN, A., BASWA, S., RAMIREZ-ANGULO, J. “Low Voltage Super Class AB CMOS OTA Cells with Very High Slew Rate and Power Efficiency”, *IEEE Journal of Solid-State Circuits*, p. 1068–1077, maio de 2005.
- [36] CARVAJAL, R., RAMIREZ-ANGULO, J., LOPEZ-MARTIN, A. “The Flipped Voltage Follower: A Useful Cell for Low-Voltage Low-Power Circuit Design”, *IEEE Transactions on Circuits and Systems I: Regular Papers*, p. 1276–1291, julho de 2005.
- [37] YAO, L., STEYAERT, M., SANSEN, W. *Low-Power Low-Voltage Sigma-Delta Modulators in Nanometer CMOS*. 1 ed. , Springer, 2006.
- [38] SOARES, C. F. T., PETRAGLIA, A., CAMPOS, G. D. “Methodologies for Evaluating and Measuring Capacitance Mismatch in CMOS Integrated Circuits”, *IEEE Transactions on Circuits and Systems II: Express Briefs*, pp. 101–105, fevereiro de 2017.
- [39] UYEMURA, J. P. *CMOS Logic Circuit Design*. Kluwer Academic Publishers, 1999.
- [40] SAINT, C., SAINT, J. *IC Mask Design: Essential Layout Techniques*. McGraw-Hill, 2002.
- [41] LANG, W., WAN, P., LIN, P. “A  $\Sigma\Delta$  Modulator for Low Power Energy Meter Application”, *IEEE International Conference on Solid-State and Integrated Circuit Technology*, pp. 1–3, novembro de 2012.
- [42] NILCHI, A., JOHNS, D. “A Low-Power Delta-Sigma Modulator Using a Charge-Pump Integrator”, *IEEE Transactions on Circuits and Systems I: Regular Papers*, p. 1310–1321, maio de 2013.
- [43] GARCIA, J., RODRIGUEZ, S., RUSU, A. “A Low-Power CT Incremental 3rd Order  $\Sigma\Delta$  ADC for Biosensor Applications”, *IEEE Transactions on Circuits and Systems I: Regular Papers*, pp. 25–36, maio de 2013.
- [44] PORRAZZO, S., CANNILLO, F., HOOF, C. V. “A Power-Optimal Design Methodology for High-Resolution Low-Bandwidth SC  $\Delta\Sigma$  Modulators”, *IEEE Transactions on Instrumentation and Measurement*, p. 2896–2904, novembro de 2012.

- [45] LANG, W., WAN, P., LIN, P. “A 0.8-V 48  $\mu$ W 82 dB SNDR 10-kHz Bandwidth  $\Sigma\Delta$  Modulator”, *IEEE International Symposium on Radio-Frequency Integration Technology*, p. 89–91, novembro de 2012.
- [46] HSIAO, C. H., CHEN, W. L., HSIEH, C. C. “A 0.8 V 80.3 dB SNDR Stage-Shared  $\Sigma\Delta$  Modulator with Chopper-Embedded Switched-Opamp for Biomedical Application”, *IEEE Asian Solid State Circuits Conference*, p. 253–256, novembro de 2012.
- [47] FAZLI, Y. A., ALVANDPOUR, A. “A 2.1  $\mu$ W 76 dB SNDR DT- $\Delta\Sigma$  Modulator for Medical Implant Devices”, *NORCHIP*, pp. 1–4, novembro de 2012.
- [48] WANG, Y., LI, Y., YU, M. “A 16 bit Low Voltage Low Power Delta Sigma Modulator”, *International Conference on Electronic and Mechanical Engineering and Information Technology*, pp. 3178–3181, agosto de 2011.
- [49] GONG, C. S. A., KAI-WEN, Y., MUH-TIAN, S., et al. “A Sigma-Delta Modulator for Bio-Applications”, *IEEE International Symposium on Consumer Electronics*, pp. 13–14, junho de 2013.
- [50] MA, R., MANJUNATHA, C. K., SOHEL, M. A., et al. “A Design of 2nd Order DT Sigma-Delta Modulator for Medical Implants”, *IEEE Asia Pacific Conference on Postgraduate Research in Microelectronics and Electronics*, pp. 6–10, novembro de 2015.
- [51] ZOU, L., BLASI, M. D., ROCCA, G., et al. “Fully Integrated Triple-Mode Sigma-Delta Modulator for Speech Codec”, *IEEE Nordic Circuits and Systems Conference*, pp. 6–10, novembro de 2016.